

Attorney's Docket No.: 5649-1136

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Lee et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **FERROELECTRIC MEMORY DEVICES WITH EXPANDED PLATE LINE  
AND METHODS OF FABRICATING THE SAME**

July 22, 2003

BOX PATENT APPLICATION

Commissioner for Patents

Washington, DC 20231

SUBMITTAL OF PRIORITY DOCUMENTS

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

10-2002-0044224, filed July 26, 2002

Respectfully submitted,



David K. Purks  
Registration No. 40,133

Correspondence Address:



20792

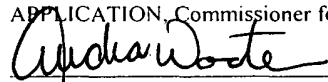
PATENT TRADEMARK OFFICE

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 193630980 US

Date of Deposit: July 22, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
Audra Wooten

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0044224  
Application Number

출원년월일 : 2002년 07월 26일  
Date of Application JUL 26, 2002

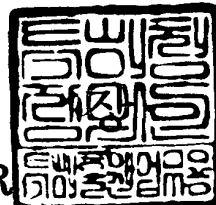
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년    02      월    27      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2002.07.26
【발명의 명칭】	확장된 플레이트 라인을 갖는 강유전체 메모리소자 및 그 제조방법
【발명의 영문명칭】	Ferroelectric memory device having expanded plate lines and method of fabricating the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이규만
【성명의 영문표기】	LEE,KYU MANN
【주민등록번호】	670922-1767823
【우편번호】	449-907
【주소】	경기도 용인시 기흥읍 신갈리 갈현마을 현대홈타운아파트 504동 1001 호
【국적】	KR
【발명자】	
【성명의 국문표기】	박건상
【성명의 영문표기】	PARK,KUN SANG
【주민등록번호】	740203-1536217

【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1283-5 엘리트빌 8동 108호
【국적】	KR
【발명자】	
【성명의 국문표기】	남상돈
【성명의 영문표기】	NAM,SANG DON
【주민등록번호】	741111-1550218
【우편번호】	135-270
【주소】	서울특별시 강남구 도곡동 951-18번지 월산주택 304호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	34 면 34,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	32 항 1,133,000 원
【합계】	1,196,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

강유전체 메모리소자 및 그 제조방법을 제공한다. 이 소자는 반도체기판 상에 형성된 하부 층간절연막, 하부 층간절연막 상에 배치된 복수개의 강유전체 커패시터들 및 강유전체 커패시터들의 측벽에 배치된 수소방지 스페이서들을 포함한다. 이 결과물의 상부에는 상부 층간절연막이 배치되고, 상부 층간절연막 내에는 복수개의 플레이트 라인들이 배치된다. 이때, 플레이트 라인들의 각각은 서로 이웃하는 적어도 2개의 강유전체 커패시터들의 상부면들과 접촉한다. 강유전체 커패시터의 측벽은 반도체기판의 상부면에 대해 수직인 측벽을 갖는 것이 바람직하다. 이 소자의 제조 방법은 하부 층간절연막이 형성된 반도체기판 상에 복수개의 강유전체 커패시터들을 형성하고, 강유전체 커패시터들의 측벽에 수소방지 스페이서를 형성한 후, 그 결과물 상에 상부 층간절연막 및 복수개의 플레이트 라인들을 형성하는 단계를 포함한다. 이때, 플레이트 라인들의 각각은 서로 이웃한 적어도 2개의 강유전체 커패시터들의 상부면들과 직접적으로 접촉하도록 형성된다. 또한, 강유전체 커패시터들의 측벽은 수직하게 패터닝되는 것이 바람직하다.

**【대표도】**

도 6

**【명세서】****【발명의 명칭】**

확장된 플레이트 라인을 갖는 강유전체 메모리소자 및 그 제조방법{Ferroelectric memory device having expanded plate lines and method of fabricating the same}

**【도면의 간단한 설명】**

면도들11내지 도 4는 종래의 강유전체 메모리소자를 제조하는 방법을 나타내는 공정

도 5는 본 발명의 바람직한 실시예에 따른 강유전체 메모리 소자의 제조 방법을 나타내는 평면도이다.

도 6 내지 도 8은 본 발명에 따른 강유전체 메모리 소자의 실시예들을 나타내는 사시도들이다.

도 9 내지 도 14는 본 발명의 일 실시예에 따른 강유전체 메모리 소자의 제조 방법을 설명하기 위해, 도 5의 I-I'을 따라 보여지는 단면을 나타내는 공정단면도들이다.

도 15 내지 도 18은 본 발명의 다른 실시예 및 변형예들에 따른 강유전체 메모리 소자의 제조 방법들을 설명하기 위해, 도 5의 I-I'에 따라 보여지는 단면을 나타내는 공정단면도들이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <6> 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 특히 확장된 플레이트 라인을 갖는 강유전체 메모리소자 및 그 제조방법에 관한 것이다.
- <7> 반도체소자들 중에 강유전체 메모리소자는 전원이 공급되지 않을지라도 전 상태의 데이터(previous data)를 간직하는 비휘발성 특성을 갖는다. 이에 더하여, 강유전체 메모리소자는 디램 및 에스램과 같이 낮은 전원전압에서 동작하는 특성을 갖는다. 따라서, 강유전체 메모리소자는 스마트 카드(smart card) 등에 널리 사용될 수 있는 유력한 후보로 각광을 받고 있다.
- <8> 도 1 내지 도 4는 종래의 강유전체 메모리소자를 제조하는 방법을 설명하기 위한 단면도들이다.
- <9> 도 1을 참조하면, 반도체 기판(11)의 소정영역에 소자분리막(13)을 형성하여 활성영역을 한정한다. 상기 활성영역 및 소자분리막(13)을 가로지르는 복수개의 절연된 게이트 전극들(15), 즉 워드라인들을 형성한다. 이어서, 상기 게이트 전극들(15) 사이의 활성영역에 불순물 이온을 주입하여 소오스/드레인 영역들(17s, 17d)을 형성한다. 상기 소오스/드레인 영역들(17s, 17d)이 형성된 결과물의 전면에 제1 하부 층간절연막(19)을 형성한다. 상기 제1 하부 층간절연막(19)을 패터닝하여 상기 소오스 영역들(17s)을 노출시키는 스토리지 노드 콘택홀들을 형성한다. 다음에, 상기 스토리지 노드 콘택홀들 내에 콘택 플러그들(21)을 형성한다.

<10> 도 2를 참조하면, 상기 콘택 플러그들(21)을 갖는 반도체기판의 전면에 2차원적으로 배열된 강유전체 커패시터들(32)을 형성한다. 상기 각 강유전체 커패시터(32)는 차례로 적층된 하부전극(27), 강유전체막 패턴(29) 및 상부전극(31)으로 구성된다. 상기 하부전극들(27)의 각각은 상기 콘택 플러그(21)를 덮는다. 상기 강유전체 커패시터들(32)을 갖는 반도체기판의 전면에 제1 상부 충전절연막(33)을 형성한다. 이어서, 상기 제1 상부 충전절연막(33) 상에 상기 게이트 전극들(15)과 평행한 복수개의 주 워드라인들(main word lines; 35)을 형성한다. 상기 각 주 워드라인(35)은 통상적으로 4개의 게이트 전극들(15)을 제어한다.

<11> 이때, 상기 상부전극(31) 및 하부전극(27)은 통상적으로 백금족 금속들을 사용하여 형성한다. 이 경우 상기 강유전체 커패시터(32)의 측벽은 일반적으로 수직하게 형성되지 못한다. 즉, 상기 강유전체 커패시터(32)는, 도시한 것처럼, 경사진 측벽을 갖는다.

<12> 도 3 및 도 4를 참조하면, 상기 주 워드라인들(35)을 갖는 반도체기판의 전면에 제2 상부 충전절연막(37)을 형성한다. 상기 제2 상부 충전절연막(37) 및 제1 상부 충전절연막(33)을 패터닝하여 상기 상부전극들(31)을 노출시키는 비아홀들(39)을 형성한다. 이때, 상기 각 비아홀(39)의 종횡비(aspect ratio)를 감소시키기 위하여 습식식각 공정 및 건식식각 공정을 사용할 수도 있다. 이 경우에, 도 3에 도시된 바와 같이 상기 비아홀(39)은 경사진 상부측벽(39a)을 갖는다. 계속해서, 상기 비아홀들(39)을 덮는 복수개의 플레이트 라인들(41)을 형성한다. 상기 플레이트 라인들(41)은 상기 주 워드라인들(35)과 평행하도록 배치된다.

<13> 상기 비아홀(39)의 종횡비를 감소시키기 위한 다른 방법으로 상기 비아홀(39)의 직경을 증가시킬 수도 있다. 하지만, 이러한 방법은 상기 플레이트 라인(41)과 상기 주 워드라인(35)의 직경을 증가시킬 수도 있다.



드라인(35)이 단락(short)되는 문제를 유발할 수 있다. 왜냐하면, 강유전체 메모리소자의 집적도가 증가함에 따라, 상기 비아홀(39)을 상기 상부 전극(31)에 정확하게 정렬하는 것이 어려워지고 있다. 이에 더하여, 상기 비아홀(39)과 이에 인접한 상기 주 워드라인(35) 사이의 간격(s)은 점점 감소한다. 따라서, 상기 비아홀(39)의 직경을 증가시키거나 정확한 정렬에 실패할 경우, 상기 비아홀(39)을 통해 상기 주 워드라인(35)이 노출된다. 이는 상기한 단락을 유발하는 원인이 된다(도 4 참조).

<14>        한편, 상기 비아홀(39)을 상기 상부 전극(31)에 정확하게 정렬하는 것이 어려워지는 문제는 상기 강유전체막 패턴(29)에 식각 손상을 유발하는 원인이 된다. 이러한 식각 손상은 상기 강유전체 커패시터(32)의 경사진 측벽에 또다른 원인을 갖는다. 즉, 사진 공정에서의 부정확한 정렬에 의해 상기 비아홀(39)이 상기 강유전체 커패시터(32)의 경사진 측벽을 노출시킬 경우, 상기 비아홀(39) 형성을 위한 식각 공정은 상기 강유전체막 패턴(29)에 식각 손상을 유발한다. 왜냐하면, 상기 비아홀(39) 형성을 위한 식각 공정은 상기 플레이트 라인(41)과 상기 상부 전극(31) 사이의 단선(disconnection)을 예방하기 위해 과도식각(over-etch)의 방법으로 실시되기 때문이다. 이를 예방하기 위해서는 상기 강유전체 커패시터(32)의 측벽을 수직하게 형성하는 것이 필요하다.

#### 【발명이 이루고자 하는 기술적 과제】

<15>        본 발명이 이루고자 하는 기술적 과제는 플레이트 라인 및 상부 전극 사이의 콘택 면적을 극대화시키면서, 플레이트 라인 및 주 워드라인 사이의 절연 특성을 확보할 수 있는 강유전체 메모리 소자를 제공하는 데 있다.

<16>        본 발명이 이루고자 하는 다른 기술적 과제는 수직한 측벽의 강유전체 커패시터를 포함하는 강유전체 메모리 소자를 제공하는 데 있다.

<17> 본 발명이 이루고자 하는 또다른 기술적 과제는 플레이트 라인 및 상부 전극 사이의 콘택면적을 극대화시키면서, 플레이트 라인 및 주 워드라인 사이의 절연 특성을 확보할 수 있는 강유전체 메모리 소자의 제조 방법을 제공하는 데 있다.

<18> 본 발명이 이루고자 하는 또다른 기술적 과제는 강유전체막 패턴이 식각 손상을 입는 것을 예방할 수 있는 강유전체 메모리 소자의 제조 방법을 제공하는 데 있다.

### 【발명의 구성 및 작용】

<19> 상기 기술적 과제들을 달성하기 위하여, 본 발명은 수직한 측벽의 강유전체 커패시터들 및 이들 강유전체 커패시터들의 상부면에 직접적으로 접촉하는 확장된(expanded) 플레이트 라인을 갖는 강유전체 메모리 소자를 제공한다. 이 소자는 반도체기판 상에 형성된 하부 층간절연막, 상기 하부 층간절연막 상에 배치된 복수개의 강유전체 커패시터들 및 상기 강유전체 커패시터들의 측벽에 배치된 복수개의 수소방지 스페이서들을 포함한다. 상기 강유전체 커패시터들은 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 상기 수소방지 스페이서들을 갖는 반도체기판의 전면에는 상부 층간절연막이 배치되고, 상기 상부 층간절연막 내에는 복수개의 플레이트 라인들이 배치된다. 이때, 상기 플레이트 라인들의 각각은 서로 이웃하는 적어도 2개의 상기 강유전체 커패시터들의 상부면들과 접촉한다.

<20> 상기 강유전체 커패시터는 차례로 적층된 하부 전극, 강유전체막 패턴 및 상부 전극을 포함한다. 이때, 상기 플레이트 라인은 서로 이웃한 적어도 2개의 행 상에 배열된 상기 상부전극들과 직접적으로 접촉한다. 바람직하게는, 상기 강유전체 커패시터의 측벽은 상기 반도체기판의 상부면에 대해 70 내지 90°의 경사를 갖는다. 이에 따라, 앞서 설

명한 강유전체 커패시터의 경사진 측벽에 원인을 갖는 상기 강유전체막 패턴의 식각 손상 문제는 최소화될 수 있다.

<21> 이처럼 강유전체 커패시터의 측벽을 수직하게 형성하기 위해서는, 상기 하부 전극 및 상부 전극은 루세늄(Ru) 및 루세늄 산화물 중에서 선택된 적어도 한가지 물질인 것이 바람직하다. 또한, 상기 강유전체막 패턴은  $\text{PbTiO}_3$ 를 시드층(seed layer)으로 사용하여 형성된  $\text{PZT}(\text{Pb,Zr,TiO}_3)$ 인 것이 바람직하다. 상기 수소방지 스페이서는  $\text{TiO}_2$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{ZrO}_2$  및  $\text{CeO}_2$  중에서 선택된 적어도 한가지 물질이고, 상기 플레이트 라인은 루세늄(Ru), 백금(Pt), 이리듐(Ir), 로듐(Rh), 오스뮴(Os) 및 팔라듐(Pd)으로 구성되는 백금족 금속들 및 상기 백금족 금속들의 산화물 중에서 선택된 적어도 한가지 물질인 것이 바람직하다.

<22> 상기 플레이트 라인은 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 국부 플레이트 라인(local plate line)일 수 있다. 이때, 상기 국부 플레이트 라인은 상기 상부 층간절연막에 의해 덮여진다.

<23> 또는, 상기 플레이트 라인은 상기 상부 층간절연막을 관통하는 슬릿형 비아홀(slit-type via hole)을 통하여 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 주 플레이트 라인(main plate line)일 수 있다.

<24> 또는, 상기 플레이트 라인은 상기 상부 층간절연막에 의해 덮여진 국부 플레이트 라인 및 상기 국부 플레이트 라인의 상부면과 직접적으로 접촉하는 주 플레이트 라인을 포함할 수도 있다. 상기 국부 플레이트 라인은 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉한다. 또한, 상기 주 플레

이트 라인은 상기 상부 층간절연막을 관통하는 슬릿형 비아홀(slit-type via hole)을 통해 상기 국부 플레이트 라인에 연결된다. 이때, 상기 국부 플레이트 라인 및 상기 주 플레이트 라인 사이에는 상기 상부 층간절연막이 개재될 수도 있다.

<25>       상기 플레이트 라인은 상기 수소방지 스페이서들의 측벽 및 상기 하부 층간절연막의 상부면을 덮도록 배치될 수도 있다. 또는 상기 플레이트 라인 및 상기 하부 층간절연막 사이에는 절연막 패턴이 더 개재될 수도 있는데, 상기 절연막 패턴은 상기 상부 층간절연막일 수도 있다. 이에 더하여, 상기 상부 층간절연막 내에는 주 워드라인들(main word line)이 더 배치되는 것이 바람직하다.

<26>       상기 다른 기술적 과제들을 달성하기 위하여, 본 발명은 강유전체 커패시터들의 측벽을 수직하게 패터닝하고, 이들 강유전체 커패시터들의 상부면에 직접적으로 접촉하는 확장된(expanded) 플레이트 라인을 형성하는 단계를 포함하는 강유전체 메모리 소자의 제조 방법을 제공한다. 이 방법은 반도체기판 상에 하부 층간절연막을 형성하고, 상기 하부 층간절연막 상에 복수개의 강유전체 커패시터들을 형성한 후, 상기 강유전체 커패시터들의 측벽에 수소방지 스페이서를 형성하는 단계를 포함한다. 이때, 상기 강유전체 커패시터들은 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 이후, 상기 수소방지 스페이서를 갖는 반도체기판의 전면에, 상부 층간절연막 및 복수개의 플레이트 라인들을 형성한다. 이때, 상기 플레이트 라인들은 상기 상부 층간절연막 내에서 상기 행 방향과 평행하도록 배치된다. 또한, 상기 플레이트 라인들의 각각은 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉한다.

<27>       상기 복수개의 강유전체 커패시터들을 형성하는 단계는 상기 하부 층간절연막 상에 하부전극막, 강유전체막 및 상부전극막을 차례로 형성한 후, 상기 상부전극막, 상기 강

유전체막 및 상기 하부전극막을 연속적으로 패터닝하는 단계를 포함한다. 이에 따라, 상기 하부 층간절연막 상에는 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열된 복수개의 하부전극들이 형성되고, 상기 하부전극들 상에는 복수개의 강유전체막 패턴들이 형성되고, 상기 강유전체막 패턴들 상에는 복수개의 상부전극들이 형성된다. 이때, 상기 강유전체 커패시터들은 그 측벽이 70 내지 90°경사를 갖도록 패터닝되는 것이 바람직하다. 이를 위해, 상기 하부전극막 및 상기 상부전극막은 각각 루세늄 및 루세늄 산화물 중에서 선택된 적어도 한가지 물질로 형성한다. 또한, 상기 상부전극막, 강유전체막 및 하부전극막을 패터닝하는 단계는, 산소 함유 플라즈마를 사용하여 이방성 식각의 방법으로 식각하는 것이 바람직하다.

- <28> 한편, 상기 강유전체막은  $\text{PZT}(\text{Pb,Zr,TiO}_3)$ ,  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $(\text{Ba,Sr})\text{TiO}_3$ ,  $\text{Pb}(\text{Zr,Ti})\text{O}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ,  $(\text{Pb,Lu})(\text{Zr,Ti})\text{O}_3$  및  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  중에서 선택된 한가지 물질로 형성한다. 이때, 상기 강유전체막은  $\text{PbTiO}_3$ 를 시드층(seed layer)으로 사용하여, 화학적 용액 적층(chemical solution deposition, CSD) 방법으로 형성하는 것이 바람직하다.
- <29> 상기 수소방지 스페이서를 형성하는 단계는 상기 강유전체 커패시터들이 형성된 반도체기판의 전면에 수소방지막을 콘포말하게 형성한 후, 상기 강유전체 커패시터들의 상부면이 노출될 때까지 상기 수소방지막을 이방성 식각하는 단계를 포함한다. 이때, 상기 수소방지막은  $\text{TiO}_2$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{ZrO}_2$  및  $\text{CeO}_2$  중에서 선택된 적어도 한가지 물질로 형성한다.
- <30> 상기 플레이트 라인을 형성하는 단계는 상기 수소방지 스페이서들이 형성된 반도체기판의 전면에 하부 플레이트막을 형성한 후, 상기 하부 플레이트막을 패터닝하여 상기 행 방향과 평행한 복수개의 국부 플레이트 라인을 형성하는 단계를 포함할 수 있다. 이

때, 상기 각 국부 플레이트 라인은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터의 상부면들과 직접적으로 접촉한다. 한편, 상기 하부 플레이트막을 형성하기 전에, 상기 수소방지 스페이서들이 형성된 반도체기판의 전면에 절연막을 형성한 후, 상기 상부전극들이 노출될 때까지 상기 절연막을 평탄화시키는 단계를 더 포함할 수 있다. 이에 따라, 상기 강유전체 커패시터들 사이의 갭 영역은 절연막 패턴으로 채워진다.

<31>        한편, 상기 국부 플레이트 라인을 형성한 후, 상기 국부 플레이트 라인을 포함하는 반도체기판 전면에 제 1 상부 층간절연막 및 제 2 상부 층간절연막을 차례로 형성하는 것이 바람직하다. 이후, 상기 제 2 및 제 1 상부 층간절연막을 차례로 패터닝하여 상기 국부 플레이트 라인을 노출시키면서 상기 행 방향과 평행한 슬릿형 비아홀을 형성한 후, 상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성한다.

<32>        상기 상부 층간절연막 및 상기 플레이트 라인을 형성하는 또다른 방법은 상기 수소방지 스페이서들이 형성된 반도체기판의 전면에 제 1 및 제 2 상부 층간절연막을 차례로 적층/패터닝하여 슬릿형 비아홀을 형성한 후, 상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성하는 단계를 포함할 수도 있다. 이때, 상기 슬릿형 비아홀은 상기 강유전체 커패시터의 상부면을 노출시키고 상기 행 방향과 평행하다. 또한, 상기 슬릿형 비아홀은 상기 강유전체 커패시터들 사이의 상기 하부 층간절연막의 상부면을 노출시키거나, 상기 수소방지 스페이서 사이에 상기 제 1 상부 층간절연막을 남기도록 형성될 수도 있다.

<33>        이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질

수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제 공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<34> 도 5는 본 발명에 따른 강유전체 메모리소자의 셀 어레이 영역의 일 부분을 보여주는 평면도이고, 도 6 내지 도 8은 각각 본 발명의 제 1 내지 제 3 실시예들에 따른 강유전체 메모리소자를 설명하기 위한 사시도들이다.

<35> 도 5 및 도 6을 참조하면, 반도체기판(51)의 소정영역에 소자분리막(53)이 배치된다. 상기 소자분리막(53)은 2차원적으로 배열된 복수개의 활성영역들(53a)을 한정한다. 상기 활성영역들(53a) 및 소자분리막(53)를 가로질러 복수개의 절연된(insulated) 게이트 전극들(57), 즉 복수개의 워드라인들이 배치된다. 상기 게이트 전극들(57)은 행 방향(y축)과 평행하다. 상기 활성영역들(53a)의 각각은 상기 한 쌍의 게이트 전극들(57)과 교차한다. 이에 따라, 상기 각 활성영역(53a)은 3개의 부분으로 나뉘어진다. 상기 한 쌍의 게이트 전극들(57) 사이의 활성영역(53a)에 공통 드레인 영역(61d)이 형성되고, 상기 공통 드레인 영역(61d)의 양 옆의 활성영역들(53a)에 소오스 영역들(61s)이 형성된다. 따라서, 상기 게이트 전극(57)들 및 상기 활성영역들(53a)이 교차하는 지점들(points)에 셀 트랜지스터들이 형성된다. 결과적으로, 셀 트랜지스터들은 열 방향(x축) 및 행 방향(y축)을 따라 2차원적으로 배열된다.

<36> 상기 셀 트랜지스터들을 갖는 반도체기판의 전면은 하부 층간절연막(74)에 의해 덮여진다. 상기 하부 층간절연막(74) 내에 상기 워드라인들(57)의 상부를 가로지르는 복수

개의 비트라인들(71)이 배치된다. 상기 비트라인들(71)의 각각은 비트라인 콘택홀(71a)을 통하여 상기 공통 드레인 영역(61d)과 전기적으로 접속된다. 상기 소오스 영역들(61s)은 상기 하부 층간절연막(74)을 관통하는 스토리지 노드 콘택홀들(75a)에 의해 노출된다. 상기 스토리지 노드 콘택홀(75a)의 상부측벽(upper sidewall)은 경사진 프로파일(sloped profile)을 갖는 것이 바람직하다. 상기 스토리지 노드 콘택홀들(75a)은 각각 콘택 플러그들(75)에 의해 채워진다. 결과적으로, 도 6에 도시된 바와 같이 상기 콘택 플러그(75)의 상부직경은 그것의 하부직경보다 크다.

<37>        상기 콘택 플러그들(75)를 갖는 반도체기판의 전면에서 상기 열 방향(x축) 및 상기 행 방향(y축)을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들(82; 도 5의 CP)이 배치된다. 이때 상기 강유전체 커패시터들(82)의 측벽은 상기 반도체기판(51)의 상부면에 대해 수직하거나 직각에 가까운 경사(예를 들면, 70 내지 90°의 경사)를 갖는 것이 바람직하다. 또한, 상기 강유전체 커패시터들(82)의 각각은 차례로 적층된 하부전극(77), 강유전체막 패턴(79) 및 상부전극(81)으로 구성된다. 상기 하부전극들(77)은 각각 상기 콘택 플러그들(75) 상에 위치한다. 결과적으로, 상기 하부전극(77)은 상기 콘택 플러그(75)를 통하여 상기 소오스 영역(61s)과 전기적으로 접속된다. 이때, 상기 하부 전극(77) 및 상기 상부 전극(81)은 각각 루세늄(Ru) 및 이산화 루세늄( $\text{RuO}_2$ ) 중에서 선택된 적어도 한가지 물질인 것이 바람직하다. 또는 상기 하부 전극(77) 및 상기 상부 전극(81)은 백금(Pt), 이리듐(Ir), 로듐(Rh), 오스뮴(Os) 및 이들의 산화물들 중에서 선택된 적어도 한가지 물질일 수도 있다.

<38>        한편, 상기 강유전체막 패턴(79)은  $\text{PbTiO}_3$ 를 시드층(seed layer)으로 사용하여 형성된 PZT( $\text{Pb,Zr,TiO}_3$ )인 것이 바람직하다. 이때, 상기 PZT( $\text{Pb,Zr,TiO}_3$ )을 대신하여



$\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ ,  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $(\text{Ba},\text{Sr})\text{TiO}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ,  $(\text{Pb},\text{La})(\text{Zr},\text{Ti})\text{O}_3$  및  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  중에서 선택된 적어도 한가지 물질이 사용될 수도 있다. 상기  $\text{PbTiO}_3$ 를 시드층(seed layer)으로 사용함으로써, 상기 강유전체막 패턴(79)의 두께를 100nm이하로 감소시키는 것이 가능하다. 이처럼 상기 강유전체막 패턴(79)의 두께가 감소할 경우, 상기 강유전체 커패시터(82)의 측벽을 수직하게 형성하는 것이 용이하다.

<39>        상기 강유전체 커패시터들(82)의 측벽에는 수소방지 스페이서(hydrogen barrier spacer; 83a)가 배치된다. 상기 수소방지 스페이서(83a)은 티타늄 산화막( $\text{TiO}_2$ ), 알루미늄 산화막( $\text{Al}_2\text{O}_3$ ), 지르코늄 산화막( $\text{ZrO}_2$ ) 및 세륨 산화막( $\text{CeO}_2$ ) 중에서 선택된 적어도 한가지 물질로 이루어지는 것이 바람직하다. 따라서, 상기 강유전체막 패턴(79) 내부로 수소원자들이 침투되는 것을 방지할 수 있다. 상기 강유전체막 패턴(79) 내에 수소원자들이 주입되면, 강유전체막 패턴(79)의 신뢰성이 저하된다. 예를 들어, PZT( $\text{Pb},\text{Zr},\text{TiO}_3$ )막과 같은 강유전체막 내에 수소원자들이 주입되면, 상기 PZT막 내의 산소 원자들과 상기 수소 원자들이 반응하여 PZT막 내에 산소 공공(oxygen vacancy)이 생성된다. 이러한 산소 공공은 강유전체의 분극특성(polarization characteristic)을 저하시킨다. 그 결과, 강유전체 메모리소자의 오동작(malfunction)을 유발시킨다.

<40>        또한, 상기 수소원자들이 강유전체막 패턴 및 상/하부 전극들(top/bottom electrodes) 사이의 계면에 포획될 경우, 강유전체 커패시터의 누설전류 특성이 저하된다. 결론적으로, 상기 수소방지 스페이서(83a)는 상기 강유전체 커패시터(82)의 특성 및 신뢰성을 향상시킨다. 앞서 설명한 것처럼, 상기 강유전체 커패시터들(82)은 수직한 측벽을 갖도록 형성되므로, 도 4에서 설명한, 상기 강유전체막 패턴(79)이 손상되는 문제는 최소화될 수 있다.

<41>      상기 강유전체 커패시터들(82) 상에 복수개의 국부 플레이트 라인들(local plate lines; 87, 도 5의 PL)이 배치된다. 상기 국부 플레이트 라인들(87)은 상기 행 방향(y축)과 평행하도록 배치되면서, 상기 수소방지 스페이서들(83a)의 측벽 및 상기 하부 층간절연막(74)의 상부면을 덮는다. 또한, 상기 국부 플레이트 라인들(87)의 각각은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들(82)을 덮는다. 결과적으로, 상기 국부 플레이트 라인(87)은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 상부전극들(81)과 직접적으로 접촉한다. 하지만, 상기 수소방지 스페이서들(83a)에 의해 상기 국부 플레이트 라인들(87)과 상기 하부 전극(77)은 절연된다. 상기 국부 플레이트 라인들(87)을 갖는 반도체기판의 전면은 상부 층간절연막에 의해 덮여진다. 여기서, 상기 상부 층간절연막은 차례로 적층된 제1 및 제2 상부 층간절연막들(89, 93)을 포함할 수 있다.

<42>      이에 더하여, 상기 제 1 및 제 2 상부 층간절연막들(89, 93) 사이에 복수개의 주 워드라인들(main word lines; 91)이 개재될 수 있다. 상기 주 워드라인(91)들의 각각은 일반적으로 디코더(decoder)를 통하여 4개의 워드라인들(57)을 제어한다. 또한, 상기 주 워드라인들(91) 사이의 상기 상부 층간절연막 내에 주 플레이트 라인(97)이 배치될 수 있다. 상기 주 플레이트 라인(97)은 상기 상부 층간절연막을 관통하는 슬릿형 비아홀(95)을 통하여 상기 국부 플레이트 라인(87)과 전기적으로 접속된다. 상기 슬릿형 비아홀(95)은 상기 행 방향(y축)과 평행하다. 도 6에 보여진 바와 같이, 상기 슬릿형 비아홀(95)의 폭은 종래기술에서의 비아홀(도 3의 39)의 직경보다 크다.

<43>      상기 국부 플레이트 라인(87) 및 상기 주 플레이트 라인(97)은 플레이트 라인을 구성하며, 이들은 직접 접촉한다. 이때, 상기 플레이트 라인은 상기 주 플레이트 라인(97)

만으로 구성될 수도 있으며, 이는 아래의 제 3 실시예에서 더 자세하게 설명한다. 상기 플레이트 라인(87)은 루세늄(Ru), 백금(Pt), 이리듐(Ir), 로듐(Rh), 오스뮴(Os) 및 팔라듐(Pd) 등과 같은 백금족 금속들 및 상기 백금족 금속들의 산화물 중에서 선택된 적어도 한가지 물질인 것이 바람직한데, 통상적으로 반도체장치에 사용되는 금속막으로 이루어질 수도 있다.

<44> 또한, 이러한 제 1 실시예의 변형예로서, 도 16에 도시된 것처럼, 상기 국부 플레이트 라인(87)과 상기 주 플레이트 라인(97) 사이에는 제 1 상부 층간절연막 패턴(89a)이 개재될 수도 있다. 이때, 상기 제 1 상부 층간절연막 패턴(89a)은 상기 국부 플레이트 라인(87)에 의해 덮인 상기 수소방지 스페이서(83a) 사이의 갭 영역을 채운다.

<45> 도 7은 본 발명의 제 2 실시예에 따른 강유전체 메모리소자를 설명하기 위한 사시도이다. 본 발명의 제 2 실시예에 있어서, 셀 트랜지스터들, 하부 층간절연막, 상부 층간절연막, 콘택 플러그들, 강유전체 커패시터들 및 수소방지 스페이서들은 도 6에서 설명된 본 발명의 제 1 실시예의 그것들과 동일한 구조를 갖는다. 따라서, 이들에 대한 상세한 설명은 생략하기로 한다.

<46> 도 5 및 도 7을 참조하면, 상기 수소방지 스페이서(83a)의 외측벽(outward sidewall)들에 의해 형성되는 갭 영역은 절연막 패턴(85a)으로 채워진다. 다시 말해서, 상기 절연막 패턴(85a)은 상기 국부 플레이트 라인(87)과 상기 하부 층간절연막(74) 사이에 개재된다. 이에 따라, 상기 절연막 패턴(85a) 및 상기 수소방지 스페이서(83a)는 상기 하부 전극(77)과 상기 국부 플레이트 라인(87)을 전기적으로 절연시킨다. 이때, 상기 절연막 패턴(85a)은 수소 함량이 적고, 신장 스트레스(tensile stress)가 적은 산화

막인 것이 바람직하다. 또한, 상기 절연막 패턴(85a)과 상기 강유전체 커패시터(82)는 같은 높이의 상부면을 갖는 것이 바람직하다.

<47> 도 8은 본 발명의 제 3 실시예에 따른 강유전체 메모리소자를 설명하기 위한 사시도이다. 본 발명의 제3 실시예에 있어서, 셀 트랜지스터들, 하부 층간절연막, 상부 층간절연막, 콘택 플러그들, 강유전체 커패시터들 및 수소방지 스페이서들은 도 6에서 설명된 본 발명의 제 1 실시예의 그것들과 동일한 구조를 갖는다. 따라서, 이들에 대한 상세한 설명은 생략하기로 한다.

<48> 도 5 및 도 8을 참조하면, 도 6에서 설명한 본 발명의 제 1 실시예와 비교할 때, 인접한 두 상부 전극들(81)의 상부면에 직접 접촉하는 주 플레이트 라인(97)이 배치된다. 즉, 이러한 실시예는 제 1 실시예에서 설명된 국부 플레이트 라인이 배치되지 않은 경우에 해당한다.

<49> 상기 주 플레이트 라인(97) 아래이면서 상기 수소방지 스페이서(83a) 사이인 곳에 형성되는 갭영역은 제 1 상부 층간절연막 패턴(89b)으로 채워진다. 즉, 상기 제 1 상부 층간절연막 패턴(89b)은 상기 주 플레이트 라인(97)과 상기 하부 층간절연막(74) 사이에 개재된다. 상기 제 1 상부 층간절연막 패턴(89b)은 상기 제 1 상부 층간절연막(89)과 동일한 물질인 것이 바람직하다. 또는 상기 제 1 상부 층간절연막 패턴(89b)은 도 7에서 설명된 절연막 패턴(85a)일 수도 있다.

<50> 이러한 제 3 실시예의 변형예로서, 도 18에 도시된 것처럼, 상기 제 1 상부 층간절연막 패턴(89b)을 배치되지 않는 실시예가 가능하다. 즉, 상기 주 플레이트 라인(97)은 상기 하부 층간절연막(74)의 상부면을 덮는다. 이때, 상기 주 플레이트 라인(97)은 인접

한 두 상부 전극(81)의 상부면과 직접 접촉하고, 이들 사이에 배치된 상기 수소방지 스페이서(83a)의 외측벽을 덮는다.

<51> 다음에, 본 발명에 따른 강유전체 메모리소자의 제조방법을 설명하기로 한다.

<52> 도 9 내지 도 14는 도 5의 I-I'에 따라 본 발명의 제1 실시예에 따른 강유전체 메모리소자의 제조방법을 설명하기 위한 단면도들이다.

<53> 도 9를 참조하면, 반도체기판(51)의 소정영역에 소자분리막(53)을 형성하여 복수개의 활성영역들(53a)을 한정한다. 상기 활성영역들을 갖는 반도체기판의 전면에는 게이트 절연막, 게이트 도전막 및 캐핑절연막을 차례로 형성한다. 상기 캐핑절연막, 게이트 도전막 및 게이트 절연막을 연속적으로 패터닝하여 상기 활성영역들 및 소자분리막(53)의 상부를 가로지르는 복수개의 평행한 게이트 패턴들(60)을 형성한다. 상기 게이트 패턴들(60)의 각각은 차례로 적층된 게이트 절연막 패턴(55), 게이트 전극(57) 및 캐핑절연막 패턴(59)으로 구성된다. 여기서, 상기 활성영역들의 각각은 상기 한 쌍의 게이트 전극들(57)과 교차한다. 상기 게이트 전극(57)은 워드라인에 해당한다.

<54> 상기 게이트 패턴들(60) 및 상기 소자분리막(53)을 이온주입 마스크들로 사용하여 상기 활성영역들에 불순물 이온들을 주입한다. 그 결과, 상기 각 활성영역에 3개의 불순물 영역들이 형성된다. 이들 3개의 불순물 영역들 중에서, 가운데의 불순물 영역은 공통 드레인 영역(61d)에 해당하고, 나머지 불순물 영역들은 소오스 영역들(61s)에 해당한다. 이에 따라, 상기 각 활성영역에 한 쌍의 셀 트랜지스터들이 형성된다. 결과적으로, 상기 셀 트랜지스터들은 상기 반도체기판(51)에 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 이어서, 상기 게이트 패턴(60)의 측벽에 통상의 방법을 사용하여 스페이서(63)를 형성한다.

<55> 도 10를 참조하면, 상기 스페이서(63)를 갖는 반도체기판의 전면에는 제1 하부 충전절연막(65)을 형성한다. 상기 제1 하부 충전절연막(65)을 패터닝하여 상기 소오스/드레인 영역들(61s, 61d)을 노출시키는 패드 콘택홀을 형성한다. 상기 패드 콘택홀 내에 통상의 방법을 사용하여 스토리지 노드 패드들(67s) 및 비트라인 패드들(67d)을 형성한다. 상기 스토리지 노드 패드들(67s)은 상기 소오스 영역들(61s)과 접속되고, 상기 비트라인 패드들(67d)은 상기 공통 드레인 영역(61d)과 접속된다. 상기 패드들(67s, 67d)을 갖는 반도체기판 전면에는 제2 하부 충전절연막(69)을 형성한다. 상기 제2 하부 충전절연막(69)을 패터닝하여 상기 비트라인 패드들(67d)을 노출시키는 비트라인 콘택홀들(도 5의 71a)을 형성한다. 상기 비트라인 콘택홀들을 덮는 복수개의 평행한 비트라인들(71)을 형성한다. 상기 비트라인들(71)은 상기 워드라인들(57)의 상부를 가로지른다.

<56> 도 11을 참조하면, 상기 비트라인들(71)을 갖는 반도체기판의 전면에는 제3 하부 충전절연막(73)을 형성한다. 상기 제1 내지 제3 하부 충전절연막들(65, 69, 73)은 하부 충전절연막(74)을 구성한다. 이어서, 상기 제2 및 제3 하부 충전절연막들(69, 73)을 패터닝하여 상기 스토리지 노드 패드들(67s)을 노출시키는 스토리지 노드 콘택홀들(도 5의 75a)을 형성한다. 상기 스토리지 노드 콘택홀은 그 것의 상부 직경을 증가시키기 위하여 습식 식각공정 및 건식 식각공정을 사용하여 형성할 수 있다. 이에 따라, 상기 스토리지 노드 콘택홀의 상부 측벽은 도시된 바와 같이 경사진 프로파일을 가질 수 있다. 이는 후속공정에서 형성되는 하부전극과 상기 소오스 영역(61s) 사이의 전기적인 저항을 감소시키기 위함이다. 상기 스토리지 노드 콘택홀들 내에 콘택 플러그들(75)을 형성한다.

<57> 도 12를 참조하면, 상기 콘택 플러그들(75) 및 상기 하부 충전절연막(74) 상에 하부전극막, 강유전체막 및 상부전극막을 차례로 형성한다. 상기 상부전극막, 강유전체막

및 하부전극막을 연속적으로 패터닝하여 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들(82; 도 5의 CP)을 형성한다. 상기 강유전체 커패시터들(82)의 각각은 차례로 적층된 하부전극(77), 강유전체막 패턴(79) 및 상부전극(81)을 포함한다. 상기 하부전극들(77)은 각각 상기 콘택 플러그들(75)과 접촉한다. 결과적으로, 상기 강유전체 커패시터들(82)은 각각 상기 소오스 영역들(61s)과 전기적으로 접속된다.

<58> 이때, 상기 강유전체 커패시터들(82)은 상기 반도체기판(51)의 상부면에 대해 수직 하거나 직각에 가까운 경사(예를 들면, 70 내지 90°의 경사)를 갖도록 패터닝한다. 이를 위해, 상기 하부 전극(77) 및 상기 상부 전극(81)은 각각 루세늄(Ru) 및 이산화 루세늄( $\text{RuO}_2$ ) 중에서 선택된 적어도 한가지 물질인 것이 바람직하다. 이 경우 상기 식각 공정 은 산소 함유 플라즈마(oxygen-containing plasma)를 사용하는 이방성 식각의 방법을 사용하는 것이 바람직하다. 상기 산소 함유 플라즈마를 사용하여 상기 루세늄(Ru) 및 이산화 루세늄( $\text{RuO}_2$ )을 식각하면, 휘발성의 사산화 루세늄( $\text{RuO}_4$ )이 형성된다. 이에 따라, 상기 강유전체 커패시터들(82)의 측벽이 경사지게 패터닝되는 현상은 최소화될 수 있다. 한편, 상기 상부 전극(81) 및 상기 하부 전극(77)은 각각 백금(Pt), 이리듐(Ir), 로듐(Rh), 오스뮴(Os) 및 이들의 산화물들 중에서 선택된 적어도 한가지 물질일 수도 있다.

<59> 상기 강유전체막 패턴(79)은  $\text{PbTiO}_3$ 를 시드층(seed layer)으로 사용하여 형성한 PZT( $\text{Pb,Zr,TiO}_3$ )인 것이 바람직하다. 이때, 상기 PZT( $\text{Pb,Zr,TiO}_3$ )를 대신하여  $\text{Pb(Zr,Ti)O}_3$ ,  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $(\text{Ba,Sr})\text{TiO}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ,  $(\text{Pb,Lu})(\text{Zr,Ti})\text{O}_3$  및  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  중에서 선택된 적어도 한가지 물질이 사용될 수도 있다. 상기 강유전체막을 형성하는 방법을 더 자세히 설명하면, 상기 PZT 및  $\text{PbTiO}_3$  박막은 화학적 용액

적층(chemical solution deposition, CSD) 방법을 사용하여 형성한다. 상기 화학적 용액 적층 공정은 전구체로서 lead acetate  $[Pb(CH_3CO_2)_2 \cdot 3H_2O]$ , zirconium n-butoxide  $[Zr(n-OC_4H_9)_4]$  및 titanium isopropoxide  $[Ti(i-OC_3H_7)_4]$ 을 사용하고, 솔벤트(solvent)로서 2-methoxyethanol  $[CH_3OCH_2CH_2OH]$ 를 사용하는 것이 바람직하다. 상기 PZT 및  $PbTiO_3$  박막은 스핀 코팅의 방법으로 적층된 후, 대략  $200^\circ C$ 의 온도에서 베이킹(bake)하는 단계를 통해 형성하는 것이 바람직하다. 이에 더하여, 상기 결과물들은 산소 분위기에서 500 내지  $675^\circ C$ 의 온도로 실시되는 급속 열공정(rapid thermal processing, RTP)을 통해 열처리(anneal)되는 것이 바람직하다. 이러한 방법을 통해 형성된 강유전체막 패턴(79)은 개선된 강유전성을 갖는다. 이러한 특성의 개선은 상기 강유전체막 패턴(79)의 두께를 감소시킬 수 있는 마진을 제공하며, 그 결과 상기 강유전체 커패시터(82)의 두께를 감소시킬 수 있다. 상기 강유전체 커패시터(82)의 두께가 감소할 경우, 상기 강유전체 커패시터(82)의 측벽을 수직하게 패터닝하기 용이해지는 장점이 있다. 상기한 방법을 통해 형성된 상기 강유전체막 패턴(79) 및 상기 강유전체 커패시터(82)는 각각 100nm 이하 및 400nm 이하의 두께로 형성될 수 있다.

<60>      상기 강유전체 커패시터들(82)을 포함하는 반도체기판 전면애 수소방지막(hydrogen barrier layer)을 형성한다. 상기 수소방지막은 티타늄 산화막( $TiO_2$ ), 알루미늄 산화막( $Al_2O_3$ ), 지르코늄 산화막( $ZrO_2$ ) 및 세륨 산화막( $CeO_2$ ) 중



에서 선택된 적어도 한가지 물질로 형성하는 것이 바람직하다. 상기 강유전체 커패시터들(82)의 상부면이 노출될 때까지, 상기 수소방지막을 이방성 식각함으로써 상기 강유전체 커패시터들(82)의 측벽에 배치되는 수소방지 스페이서(83a)를 형성한다. 상기 강유전체 커패시터들(82)이 상기 반도체기판(51)의 상부면에 대해 수직인 측벽으로 형성되기 때문에, 상기 수소방지막은 통상적인 스페이서 형태로 패터닝된다. 이에 따라, 후속 공정들에 사용되는 수소원자들이 상기 강유전체막 패턴(79) 내부로 침투하는 것을 최소화할 수 있다. 상기 강유전체막 패턴들(79) 내에 수소원자들이 주입되면, 분극특성 및 누설전류 특성과 같은 강유전체 커패시터들(82)의 특성이 저하된다. 결과적으로, 상기 수소방지 스페이서(83a)는 강유전체 커패시터(82)의 특성을 향상시킨다.

<61> 도 13를 참조하면, 상기 수소방지 스페이서(83a)를 포함하는 반도체기판의 전면에서 하부 플레이트막을 형성한다. 상기 하부 플레이트막을 패터닝하여 상기 워드라인들(57)과 평행한 복수개의 국부 플레이트 라인들(local plate lines; 87, 도 5의 PL)을 형성한다. 다시 말해서, 상기 복수개의 국부 플레이트 라인들(87)은 행 방향(도 5의 y축)과 평행하다. 상기 국부 플레이트 라인들(87)의 각각은 서로 이웃하는 2개의 행들을 따라 배열된 복수개의 상부전극들(81)과 직접적으로 접촉한다. 또한, 상기 국부 플레이트 라인들(87)은 상기 수소방지 스페이서(83a)의 외측벽 및 이들 사이에 노출되는 상기 하부 층간절연막(74)의 상부면을 덮는다. 이때, 상기 국부 플레이트 라인들(87)과 상기 하부 전극들(77)은 이들 사이에 개재된 상기 수소 방지 스페이서(83a)에 의해 절연된다. 또한, 상기 하부 플레이트막은 루세늄(Ru), 백금(Pt), 이리듐(Ir), 로듐(Rh), 오스뮴(Os) 및 팔라듐(Pd)과 같은 백금족 금속들 및 상기 백금족 금속들의 산화물 중에서 선택된 적어도 한가지 물질일 수도 있다.

<62>      상기 국부 플레이트 라인들(87)을 갖는 반도체기판의 전면에 상부 충전절연막을 형성한다. 상기 상부 충전절연막은 제1 및 제2 상부 충전절연막들(89, 93)을 차례로 적층시키어 형성한다. 상기 제2 상부 충전절연막(93)을 형성하기 전에, 상기 제1 상부 충전절연막(89) 상에 복수개의 평행한 주 워드라인들(91)을 형성할 수도 있다. 통상적으로, 하나의 주 워드라인(91)은 디코더를 통하여 4개의 워드라인들(57)을 제어한다.

<63>      도 14을 참조하면, 상기 상부 충전절연막을 패터닝하여 상기 국부 플레이트 라인(87)을 노출시키는 슬릿형 비아홀(95)을 형성한다. 상기 슬릿형 비아홀(95)은 상기 주 워드라인들(91) 사이에 형성되고 상기 주 워드라인들(91)과 평행하다. 상기 슬릿형 비아홀(95)은 도시된 바와 같이 종래기술에 비하여 넓은 폭을 갖는다. 그럼에도 불구하고, 상기 슬릿형 비아홀(95) 및 이와 인접한 상기 주 워드라인들(91) 사이의 간격(A)을 종래기술에 비하여 크게 유지할 수 있다. 따라서, 상기 슬릿형 비아홀(95)의 종횡비를 더욱 감소시키기 위하여 상기 슬릿형 비아홀(95)을 습식 식각공정 및 건식 식각공정을 사용하여 형성할지라도, 상기 주 워드라인들(91)이 노출될 확률은 종래기술에 비하여 현저히 감소된다. 결과적으로, 상기 주 워드라인들(91)의 노출 없이, 상기 슬릿형 비아홀(95)의 종횡비를 종래기술에 비하여 현저히 감소시킬 수 있음은 물론 상기 국부 플레이트 라인(87)의 노출면적을 극대화시킬 수 있다.

<64>      계속해서, 상기 슬릿형 비아홀(95)이 형성된 결과물의 전면에 금속막과 같은 상부 플레이트막을 형성한다. 이때, 상기 슬릿형 비아홀(95)의 종횡비가 현저히 낮으므로 상기 상부 플레이트막은 우수한 단차도포성(step coverage)을 보인다. 상기 상부 플레이트막을 패터닝하여 상기 슬릿형 비아홀(95)을 덮는 주 플레이트 라인(main plate line; 97)을 형성한다. 이때, 상기 국부 플레이트 라인(87) 및 상기 주 플레이트 라인(97)은

플레이트 라인을 구성한다. 그러나, 상기 플레이트 라인은 국부 플레이트 라인 또는 주 플레이트 라인만으로 구성될 수도 있다.

<65> 도 15 및 도 17은 각각 본 발명의 제 2 실시예 및 제 3 실시예에 따른 강유전체 메모리소자의 제조방법을 설명하기 위한 단면도들이다. 또한, 도 16 및 도 18은 각각 제 1 및 제 3 실시예의 변형예에 따른 강유전체 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다. 도 9 내지 도 14에서 설명된 제 1 실시예와 비교할 때, 아래에서 설명되는 실시예들은 도 9 내지 도 12에서 설명된 단계를 공통적으로 포함한다. 또한, 이러한 실시예들에서 상부 층간절연막 및 주 워드라인을 형성하는 단계는 상기 제 1 실시예에서 설명된 방법이 동일하게 적용될 수 있음은 당업자들에게 자명하다. 따라서, 이들에 대한 구체적인 설명은 생략한다.

<66> 도 15를 참조하면, 제 1 실시예와 비교할 때, 본 발명의 제 2 실시예는 상기 하부 플레이트막을 형성하기 전에 절연막을 형성하고 이를 평탄화함으로써 절연막 패턴(85a)을 형성하는 단계를 더 포함하는 경우에 해당한다.

<67> 이를 더 자세히 설명하면, 상기 수소방지 스페이서(83a)를 포함하는 반도체기판의 전면에 절연막을 형성한다. 상기 절연막은 수소의 함량이 적은 물질이면서 스트레스를 유발하지 않는 물질인 것이 바람직하다. 상기 상부 전극(81)의 상부면이 노출될 때까지 상기 절연막을 평탄화 식각하여 절연막 패턴(85a)을 형성한다. 이때, 상기 평탄화 식각은 상기 상부 전극(81) 및 상기 수소방지 스페이서(83a)에 대해 식각 선택비를 갖는 식각 레시피로 실시한다. 이에 따라, 상기 절연막 패턴(85a)은 상기 수소방지 스페이서(83a)에 의해 형성되는 갭영역을 채운다. 이때, 상기 절연막 패턴(85a)은 상기 강유전체 커패시터(82)보다 낮은 상부면을 가질 수도 있다.

<68>       상기 절연막 패턴(85a)을 포함하는 반도체기판 전면에 하부 플레이트막을 형성한 후 패터닝하여 국부 플레이트 라인(87)을 형성한다. 상기 패터닝 공정은 상기 절연막 패턴(85a) 또는 상기 수소방지 스페이서(83a)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시한다. 상기 국부 플레이트 라인들(87)의 각각은 서로 이웃하는 2개의 행들을 따라 배열된 복수개의 상부전극들(81)과 직접적으로 접촉한다. 또한, 상기 국부 플레이트 라인들(87)은 이들 상부 전극들(81) 사이에 개재된 상기 절연막 패턴(85a)의 상부면을 덮는다. 이후, 상기 주 플레이트 라인(97)을 형성하기까지의 단계는 앞서 설명한 제 1 실시예와 동일하다.

<69>       도 16을 참조하면, 제 1 실시예와 비교할 때, 이러한 변형예는 상기 슬릿형 비아홀(95) 형성을 위한 식각 공정을 국부 플레이트 라인(87)의 최상부면이 노출될 때까지 실시하는 것을 특징으로 한다.

<70>       이를 더 자세히 설명하면, 도 13에서 설명한 방법에 따라, 국부 플레이트 라인(87) 및 상부 충전절연막을 형성한다. 상기 상부 충전절연막을 패터닝하여 상기 국부 플레이트 라인(87)의 최상부면은 노출시키는 슬릿형 비아홀(95)을 형성한다. 이때, 상기 패터닝 공정은 상기 수소방지 스페이서(83a) 사이에 상기 국부 플레이트 라인(87)에 의해 둘러싸인 제 1 상부 충전절연막 패턴(89a)이 잔존하도록 실시한다. 이러한 방법은 상기 패터닝 공정 동안 상기 국부 플레이트 라인(87)의 상부가 식각 손상을 받는 것을 최소화한다. 이후, 제 1 실시예에서 설명된 방법에 따라, 주 플레이트 라인(97)을 형성한다.

<71>       도 17 및 도 18을 참조하면, 제 1 실시예와 비교할 때, 본 발명의 제 3 실시예에 따른 강유전체 메모리 소자의 제조 방법은 국부 플레이트 라인(도 14의 87)을 형성하는 단계를 포함하지 않는다.

<72> 이를 더 자세히 설명하면, 상기 수소방지 스페이서(83a)를 포함하는 반도체기판의 상에, 제 1 실시예에서 설명한 방법에 따라 제 1 상부 층간절연막(89), 주 워드 라인(91) 및 제 2 상부 층간절연막(93)을 형성한다. 이후, 상기 상부 층간절연막들(93, 89)을 패터닝하여 서로 이웃하는 2개의 행들을 따라 배열된 복수개의 상부전극들(81)의 상부면은 노출시키는 슬릿형 비아홀(95)을 형성한다.

<73> 본 발명의 제 3 실시예에 따르면, 상기 슬릿형 비아홀(95)은 상기 수소방지 스페이서(83a) 사이에 상기 제 1 상부 층간절연막(89)을 남기도록 패터닝한다(도 17 참조). 이에 따라, 상기 수소방지 스페이서(83a) 사이에는 제 1 상부 층간절연막 패턴(89b)이 개재된다. 한편, 그 변형예에 따르면, 상기 슬릿형 비아홀(95)은 상기 하부 층간절연막(74)의 상부면까지 노출시킨다(도 18 참조). 이러한 변형예를 위해, 상기 수소방지 스페이서(83a) 및 상기 제 1 상부 층간절연막(89)은 서로 식각 선택성을 갖는 물질로 형성한다.

<74> 이후, 상기 슬릿형 비아홀(95)이 형성된 결과물의 전면에 상부 플레이트막을 형성한다. 상기 상부 플레이트막을 패터닝하여 상기 슬릿형 비아홀(95)을 덮는 주 플레이트 라인(main plate line; 97)을 형성한다. 이때, 상기 주 플레이트 라인(97)은 서로 이웃하는 2개의 행들을 따라 배열된 복수개의 상부전극들(81)과 직접 접촉한다.

#### 【발명의 효과】

<75> 본 발명에 따르면, 하나의 플레이트 라인이 셀 어레이 영역 내에 서로 이웃한 적어도 두개의 행들 상에 배열된 복수개의 강유전체 커패시터들의 상부 전극들과 직접적으로 접촉한다. 이에 따라, 강유전체 메모리 소자의 집적도를 증가시키는 것과 아울러 그것의 신뢰성을 향상시키는 것이 가능하다.

<76> 또한, 본 발명에 따르면, 강유전체 커패시터들의 측벽을 수직하게 패터닝할 수 있다. 이에 따라, 플레이트 라인과 강유전체 커패시터들의 하부전극을 절연시키는 수소방지 스페이서를 형성하는 동안, 강유전체막 패턴이 손상되는 문제는 최소화된다. 그 결과, 강유전체 메모리 소자의 신뢰성을 향상시킬 수 있다.

**【특허청구범위】****【청구항 1】**

반도체기판 상에 형성된 하부 층간절연막;

상기 하부 층간절연막 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들;

상기 강유전체 커패시터들의 측벽에 배치된 복수개의 수소방지 스페이서들;

상기 수소방지 스페이서들을 갖는 반도체기판의 전면에 적층된 상부 층간절연막;  
및

상기 상부 층간절연막 내에 배치된 복수개의 플레이트 라인들을 포함하되, 상기 플레이트 라인들의 각각은 서로 이웃하는 적어도 2개의 상기 강유전체 커패시터들의 상부면들과 접촉하는 것을 특징으로 하는 강유전체 메모리 소자.

**【청구항 2】**

제 1 항에 있어서,

상기 강유전체 커패시터의 측벽은 상기 반도체기판의 상부면에 대해 70 내지 90°의 경사를 갖는 것을 특징으로 하는 강유전체 메모리 소자.

**【청구항 3】**

제 1 항에 있어서,

상기 강유전체 커패시터는 차례로 적층된 하부 전극, 강유전체막 패턴 및 상부 전극을 포함하되, 상기 플레이트 라인은 서로 이웃한 적어도 2개의 행 상에 배열된 상기 상부전극들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리 소자.

**【청구항 4】**

제 3 항에 있어서,

상기 하부 전극 및 상부 전극은 루세늄(Ru) 및 루세늄 산화물 중에서 선택된 적어도 한가지 물질로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

**【청구항 5】**

제 3 항에 있어서,

상기 강유전체막 패턴은  $\text{PbTiO}_3$ 를 시드층(seed layer)으로 사용하여 형성된  $\text{PZT}(\text{Pb,Zr,TiO}_3)$ 인 것을 특징으로 하는 강유전체 메모리 소자.

**【청구항 6】**

제 3 항에 있어서,

상기 강유전체막 패턴은  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $(\text{Ba,Sr})\text{TiO}_3$ ,  $\text{Pb}(\text{Zr,Ti})\text{O}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ,  $(\text{Pb,Lu})(\text{Zr,Ti})\text{O}_3$  및  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  중에서 선택된 한가지 물질인 것을 특징으로 하는 강유전체 메모리 소자.

**【청구항 7】**

제 1 항에 있어서,

상기 수소방지 스페이서는  $\text{TiO}_2$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{ZrO}_2$  및  $\text{CeO}_2$  중에서 선택된 적어도 한가지 물질로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

**【청구항 8】**

제 1 항에 있어서,



상기 플레이트 라인은 루세늄(Ru), 백금(Pt), 이리듐(Ir), 로듐(Rh), 오스뮴(Os) 및 팔라듐(Pd)으로 구성되는 백금족 금속들 및 상기 백금족 금속들의 산화물 중에서 선택된 적어도 한가지 물질로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

**【청구항 9】**

제 1 항에 있어서,

상기 플레이트 라인은 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 국부 플레이트 라인(local plate line)이고, 상기 국부 플레이트 라인은 상기 상부 층간절연막에 의해 덮여진 것을 특징으로 하는 강유전체 메모리소자.

**【청구항 10】**

제 1 항에 있어서,

상기 플레이트 라인은 상기 상부 층간절연막을 관통하는 슬릿형 비아홀(slit-type via hole)을 통하여 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 주 플레이트 라인(main plate line)인 것을 특징으로 하는 강유전체 메모리 소자.

**【청구항 11】**

제 1 항에 있어서,

상기 플레이트 라인은

서로 이웃한 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하되, 상기 상부 층간절연막에 의해 덮여진 국부 플레이트 라인(local plate line); 및

상기 상부 층간절연막을 관통하는 슬릿형 비아홀(slit-type via hole)을 통하여 상기 국부 플레이트 라인의 상부면과 직접적으로 접촉하는 주 플레이트 라인(main plate line)을 포함하는 것을 특징으로 하는 강유전체 메모리 소자.

**【청구항 12】**

제 11 항에 있어서,

상기 국부 플레이트 라인 및 상기 주 플레이트 라인 사이에는 상기 상부 층간절연막이 개재되는 것을 특징으로 하는 강유전체 메모리소자.

**【청구항 13】**

제 1 항에 있어서,

상기 플레이트 라인은 상기 수소방지 스페이서들의 측벽 및 상기 하부 층간절연막의 상부면을 덮는 것을 특징으로 하는 강유전체 메모리 소자.

**【청구항 14】**

제 1 항에 있어서,

상기 플레이트 라인 및 상기 하부 층간절연막 사이에 개재되는 절연막 패턴을 더 포함하는 강유전체 메모리소자.

**【청구항 15】**

제 14 항에 있어서,

상기 절연막 패턴은 상기 상부 충전절연막인 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 16】

제 1 항에 있어서,

상기 상부 충전절연막 내에 배치되는 주 워드라인들(main word line)을 더 포함하는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 17】

반도체기판 상에 하부 충전절연막을 형성하는 단계;

상기 하부 충전절연막 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들을 형성하는 단계;

상기 강유전체 커패시터들의 측벽에 수소방지 스페이서를 형성하는 단계; 및

상기 수소방지 스페이서를 갖는 반도체기판의 전면에 적층된 상부 충전절연막 및 상기 상부 충전절연막 내에 상기 행 방향과 평행하도록 배치된 복수개의 플레이트 라인들을 형성하는 단계를 포함하되, 상기 플레이트 라인들의 각각은 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 18】

제 17 항에 있어서,

상기 복수개의 강유전체 커패시터들을 형성하는 단계는

상기 하부 층간절연막 상에 하부전극막, 강유전체막 및 상부전극막을 차례로 형성하는 단계; 및

상기 상부전극막, 상기 강유전체막 및 상기 하부전극막을 연속적으로 패터닝하여 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열된 복수개의 하부전극들, 상기 하부전극들 상에 적층된 복수개의 강유전체막 패턴들 및 상기 강유전체막 패턴들 상에 적층된 복수개의 상부전극들을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

**【청구항 19】**

제 17 항에 있어서,

상기 강유전체 커패시터들의 측벽은 70 내지 90° 경사를 갖도록 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

**【청구항 20】**

제 18 항에 있어서,

상기 하부전극막 및 상기 상부전극막은 각각 루세늄 및 루세늄 산화물 중에서 선택된 적어도 한가지 물질로 형성하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

**【청구항 21】**

제 20 항에 있어서,

상기 상부전극막, 강유전체막 및 하부전극막을 패터닝하는 단계는, 상기 강유전체 커패시터들이 수직한 측벽을 갖도록, 산소 함유 플라즈마를 사용한 이방성 식각의 방법으로 실시하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

**【청구항 22】**

제 18 항에 있어서,

상기 강유전체막은  $\text{PZT}(\text{Pb}, \text{Zr}, \text{TiO}_3)$ ,  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$  및  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  중에서 선택된 한가지 물질로 형성하되, 상기 강유전체막은  $\text{PbTiO}_3$ 를 시드층(seed layer)으로 사용하여 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

**【청구항 23】**

제 18 항에 있어서,

상기 강유전체막을 형성하는 단계는 lead acetate  $[\text{Pb}(\text{CH}_3\text{CO}_2)_2 \cdot 3\text{H}_2\text{O}]$ , zirconium n-butoxide  $[\text{Zr}(\text{n-OC}_4\text{H}_9)_4]$  및 titanium isopropoxide  $[\text{Ti}(\text{i-OC}_3\text{H}_7)_4]$ 을 전구체로 사용하고 2-methoxyethanol  $[\text{CH}_3\text{OCH}_2\text{CH}_2\text{OH}]$ 를 솔벤트로 사용하는, 화학적 용액 적층 (chemical solution deposition, CSD) 방법으로 실시하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

**【청구항 24】**

제 17 항에 있어서,

상기 수소방지 스페이서를 형성하는 단계는

상기 강유전체 커패시터들이 형성된 반도체기판의 전면에 수소방지막을 콘포말하게 형성하는 단계; 및

상기 강유전체 커패시터들의 상부면이 노출될 때까지 상기 수소방지막을 이방성 식각하는 단계를 포함하되, 상기 수소방지막은  $\text{TiO}_2$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{ZrO}_2$  및  $\text{CeO}_2$  중에서 선택된 적어도 한가지 물질로 형성하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 25】

제 17 항에 있어서,

상기 플레이트 라인을 형성하는 단계는

상기 수소방지 스페이서들이 형성된 반도체기판의 전면에 하부 플레이트막을 형성하는 단계; 및

상기 하부 플레이트막을 패터닝하여 상기 행 방향과 평행한 복수개의 국부 플레이트 라인을 형성하는 단계를 포함하되, 상기 각 국부 플레이트 라인은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터의 상부면들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 26】

제 25 항에 있어서,

상기 하부 플레이트막을 형성하기 전에,

상기 수소방지 스페이서들이 형성된 반도체기판의 전면에 절연막을 형성하는 단계; 및

상기 상부전극들이 노출될 때까지 상기 절연막을 평탄화시키어, 상기 강유전체 커패시터들 사이의 갭 영역을 채우는 절연막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 27】

제 25 항에 있어서,

상기 국부 플레이트 라인을 형성한 후,

상기 국부 플레이트 라인을 포함하는 반도체기판 전면에 제 1 상부 층간절연막 및 제 2 상부 층간절연막을 차례로 형성하는 단계를 더 포함하는 강유전체 메모리 소자의 제조 방법.

【청구항 28】

제 27 항에 있어서,

상기 제 2 및 제 1 상부 층간절연막을 차례로 패터닝하여, 상기 국부 플레이트 라인을 노출시키면서 상기 행 방향과 평행한 슬릿형 비아홀을 형성하는 단계; 및

상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 29】

제 17 항에 있어서,

상기 상부 층간절연막 및 상기 플레이트 라인을 형성하는 단계는

상기 수소방지 스페이서들이 형성된 반도체기판의 전면에 제 1 및 제 2 상부 층간절연막을 차례로 형성하는 단계; 및

상기 제 2 및 제 1 상부 층간절연막을 차례로 패터닝하여, 상기 강유전체 커패시터의 상부면을 노출시키고 상기 행 방향과 평행한 슬릿형 비아홀을 형성하는 단계; 및

상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

**【청구항 30】**

제 29항에 있어서,

상기 슬릿형 비아홀은 상기 강유전체 커패시터들 사이의 상기 하부 층간절연막의 상부면을 노출시키는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

**【청구항 31】**

제 29 항에 있어서,

상기 슬릿형 비아홀을 형성하는 단계는 상기 수소방지 스페이서 사이에 상기 제 1 상부 층간절연막을 남기도록 실시하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

**【청구항 32】**

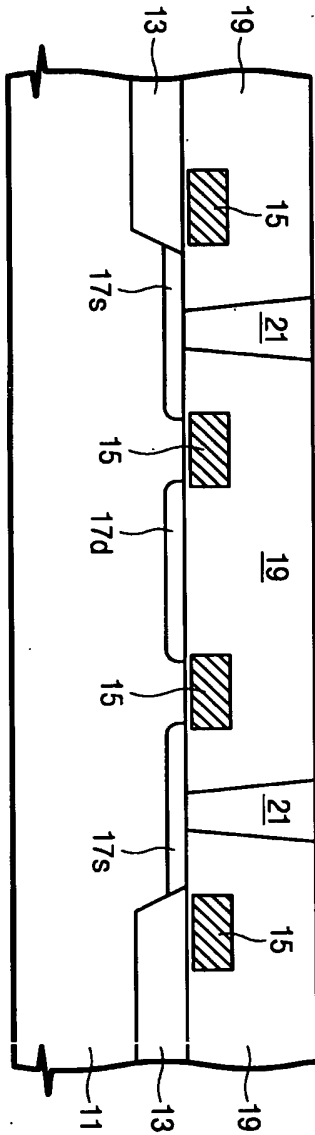
제 17 항에 있어서,

상기 상부 층간절연막을 형성하는 단계는 상기 상부 층간절연막 내에 배치되는 주 워드라인들(main word line)을 형성하는 단계를 더 포함하는 강유전체 메모리 소자의 제조 방법.



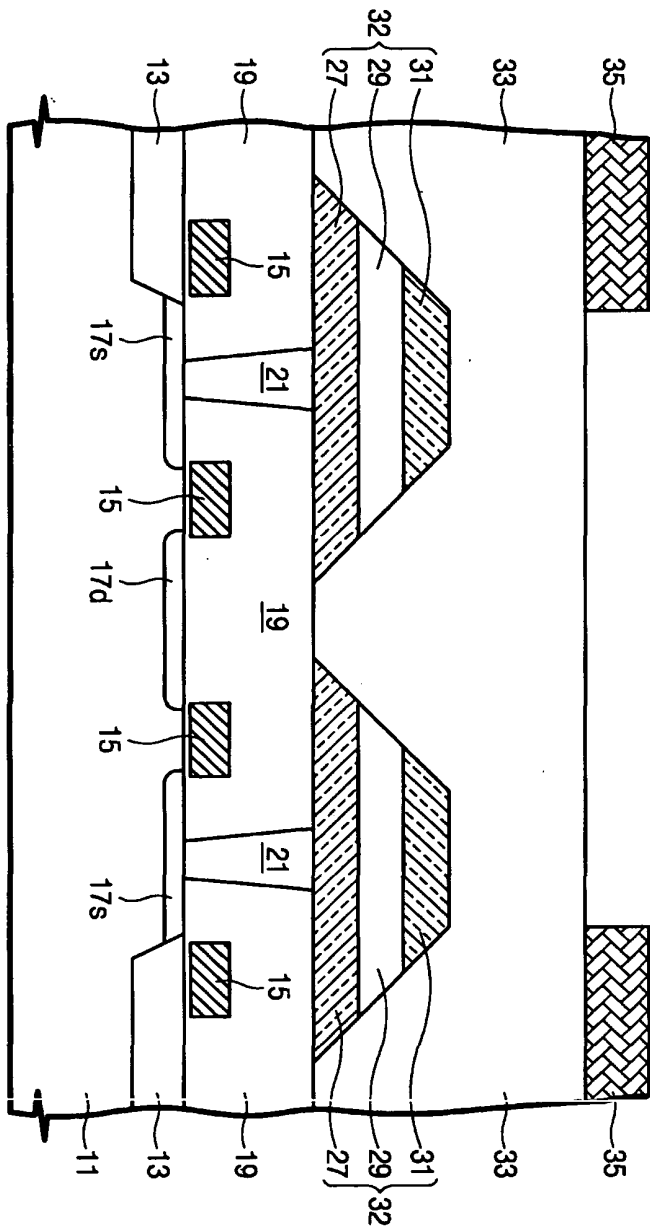
【도면】

【도 1】



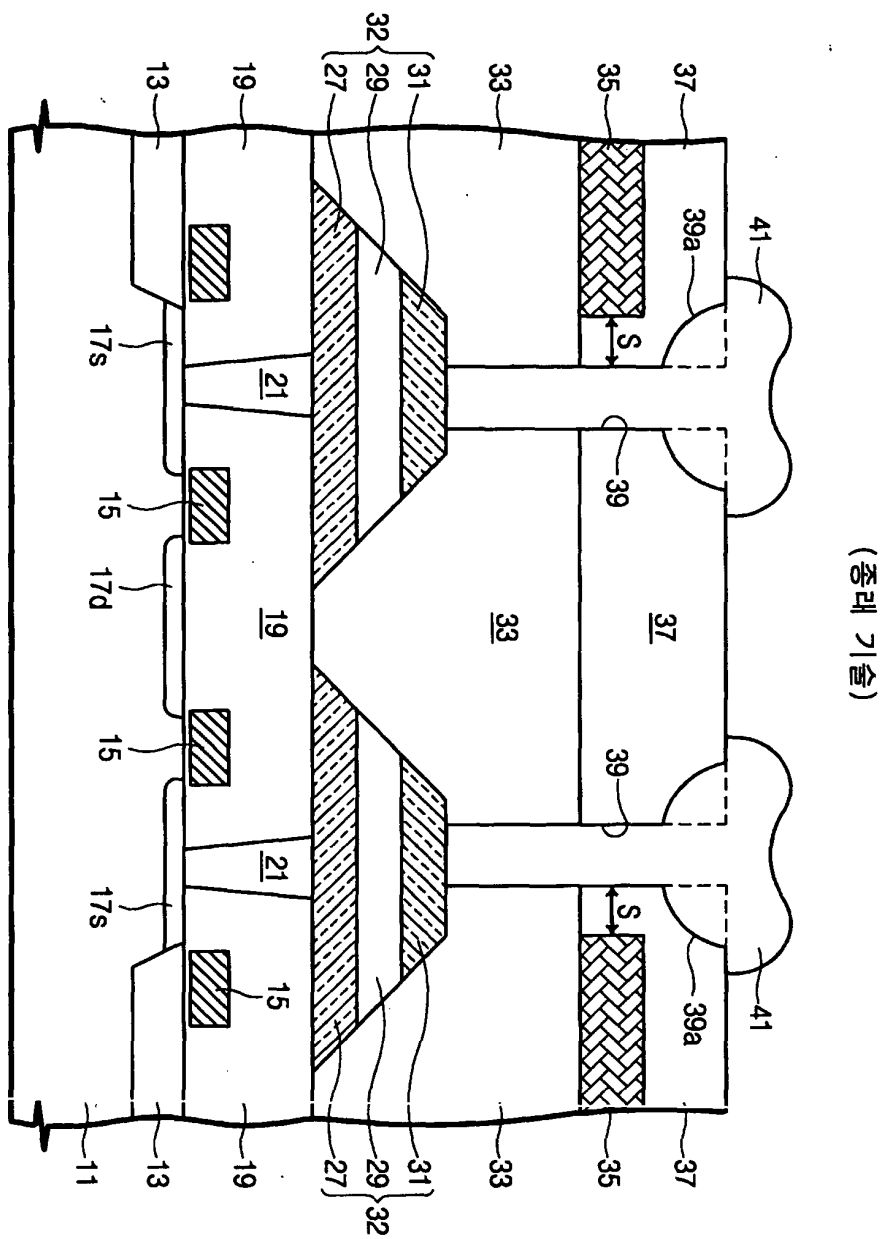
(종래 기술)

【도 2】

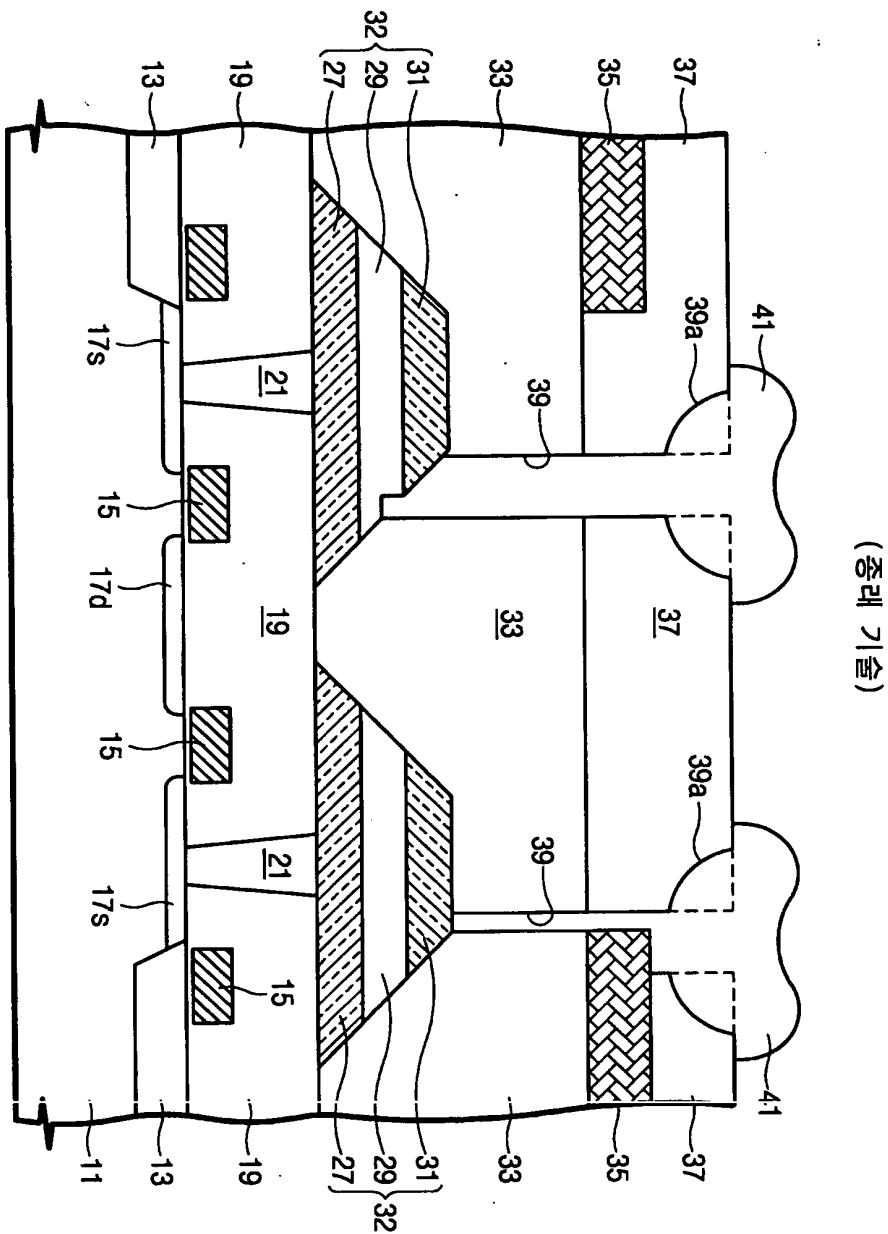


(종래 기술)

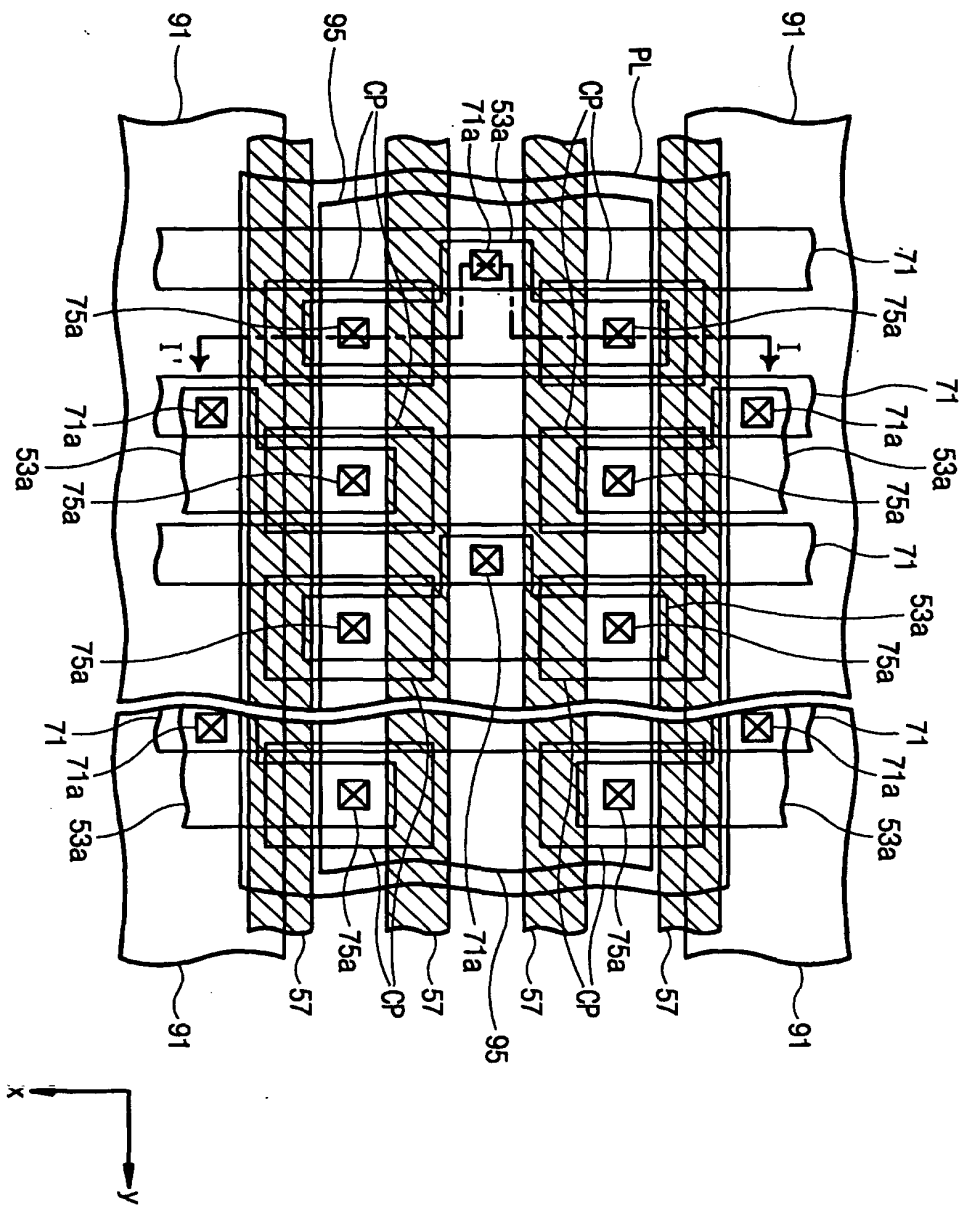
【도 3】



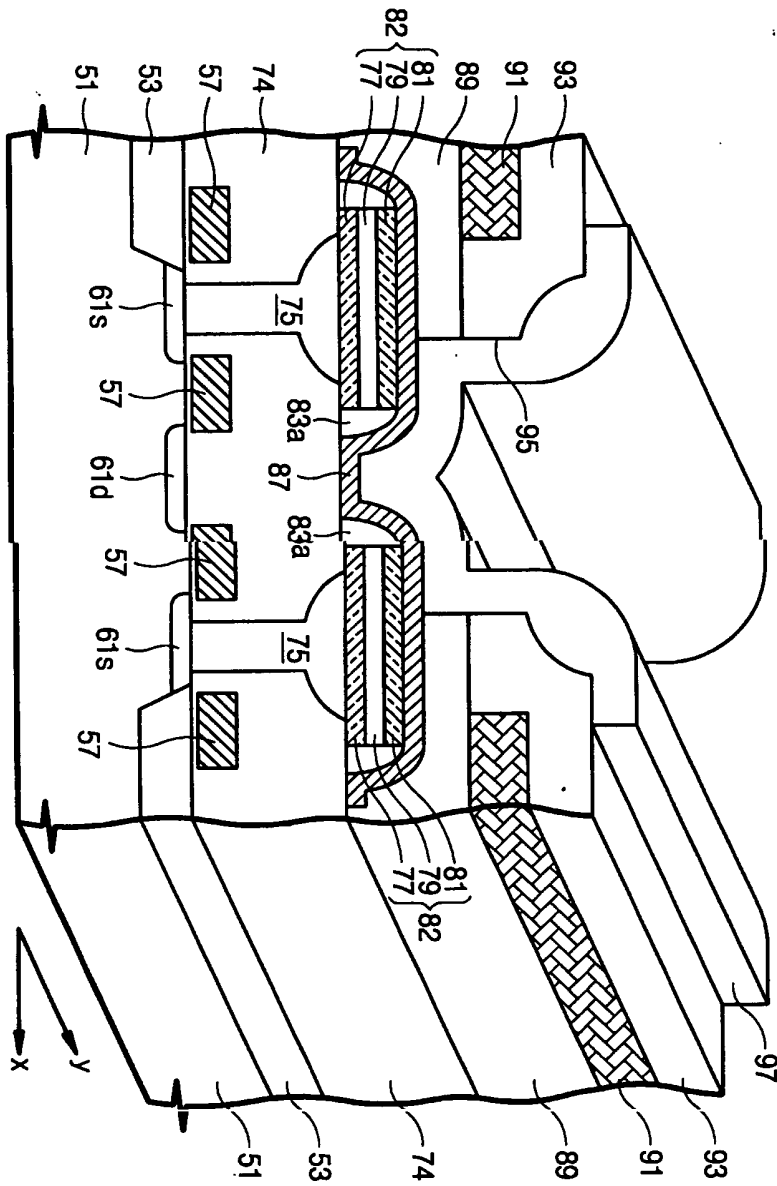
【도 4】



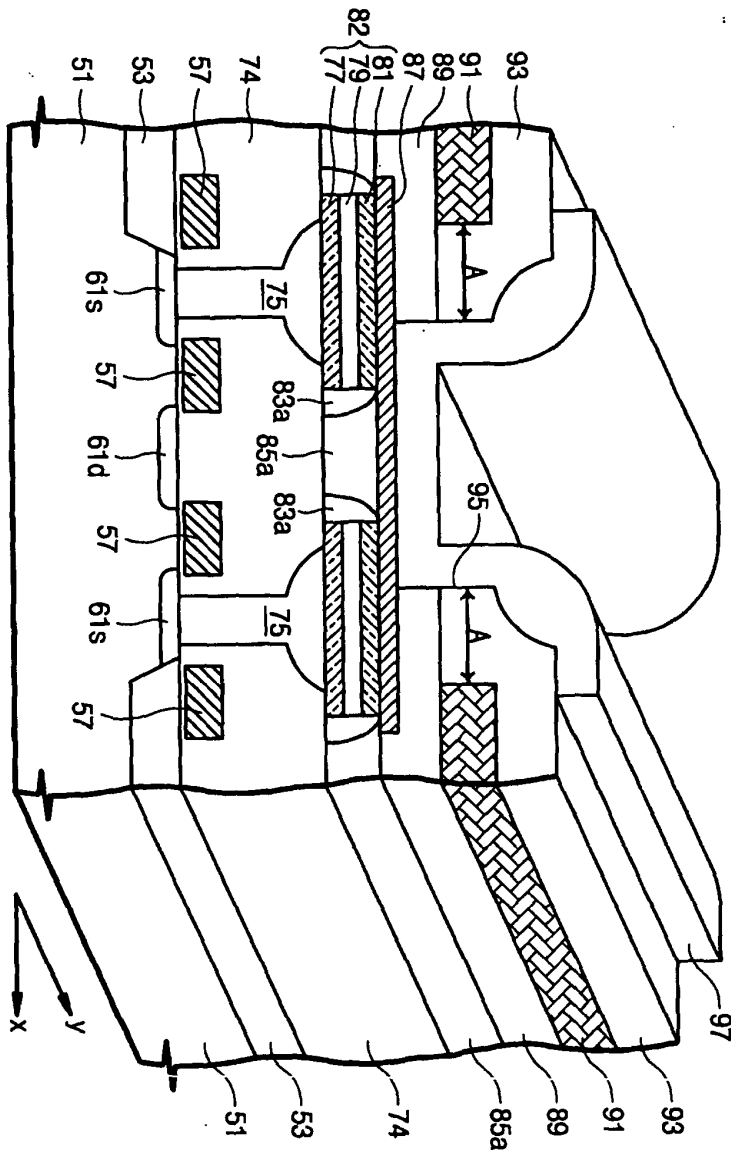
【도 5】



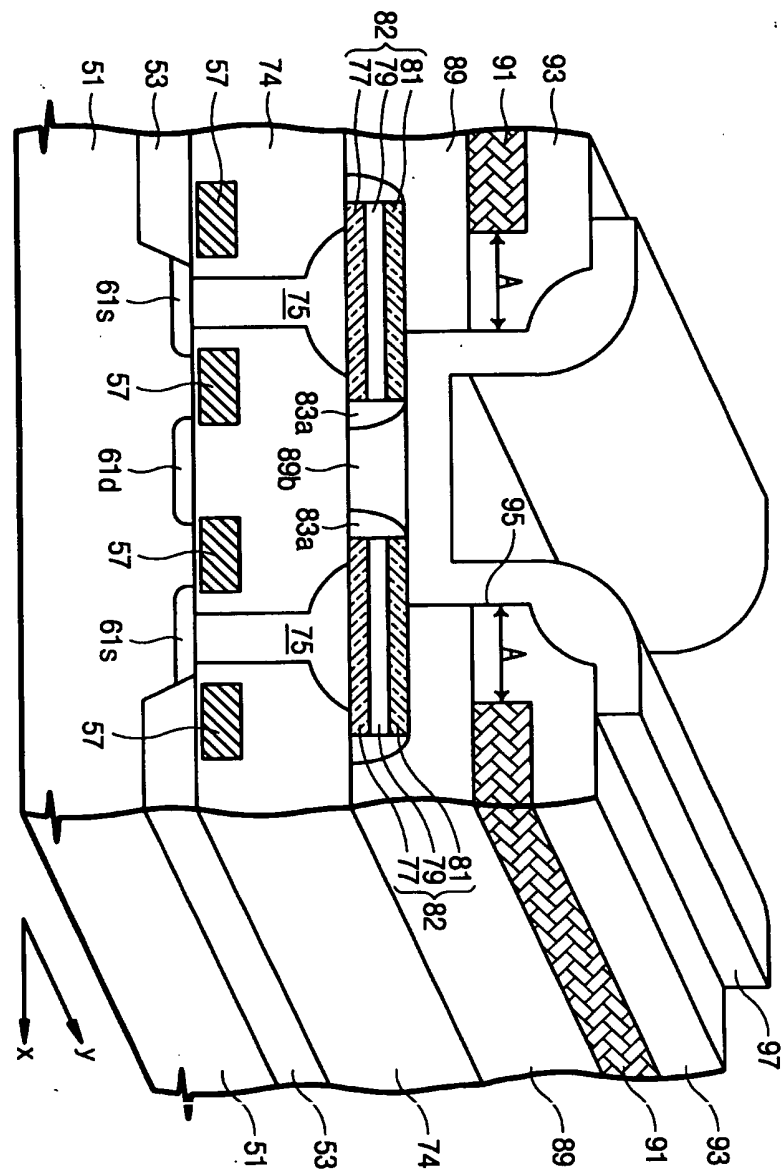
【도 6】



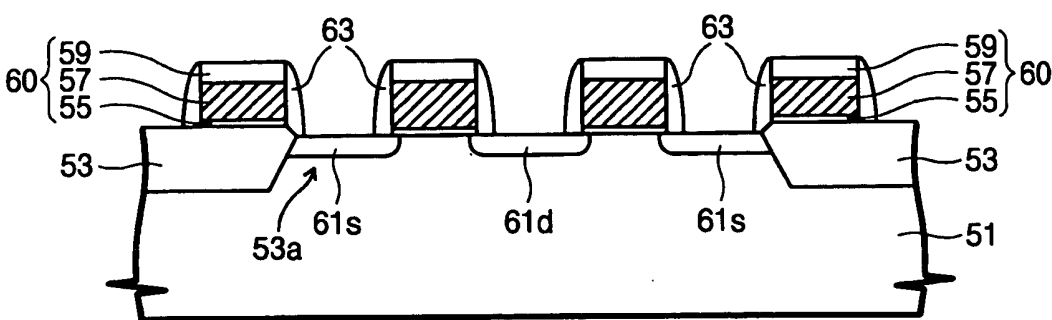
【도 7】



【도 8】

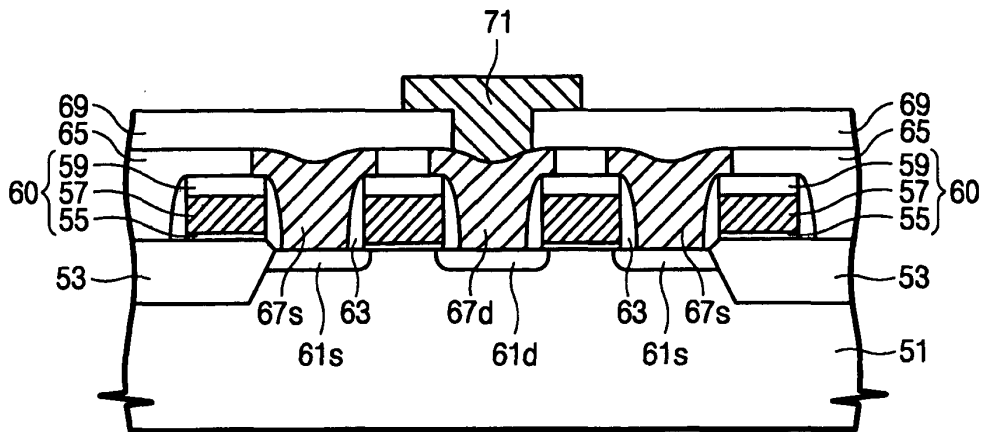


【도 9】

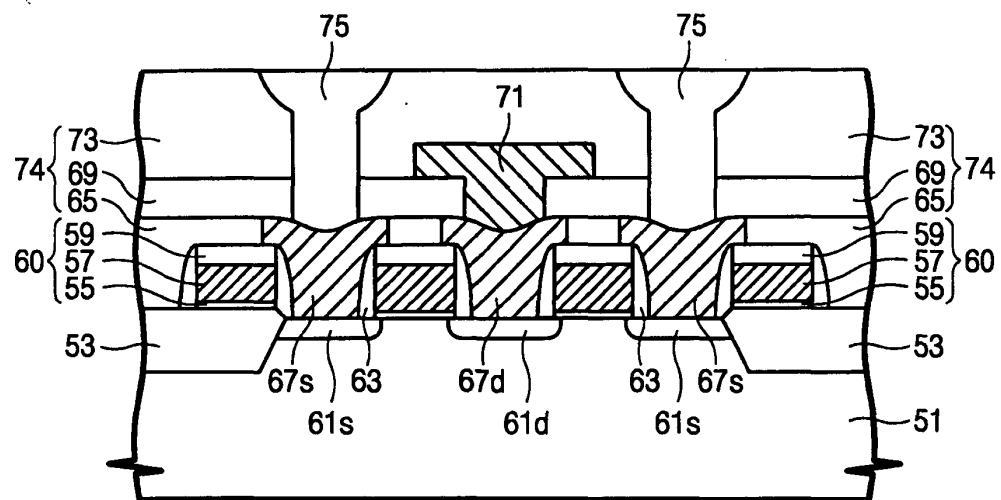




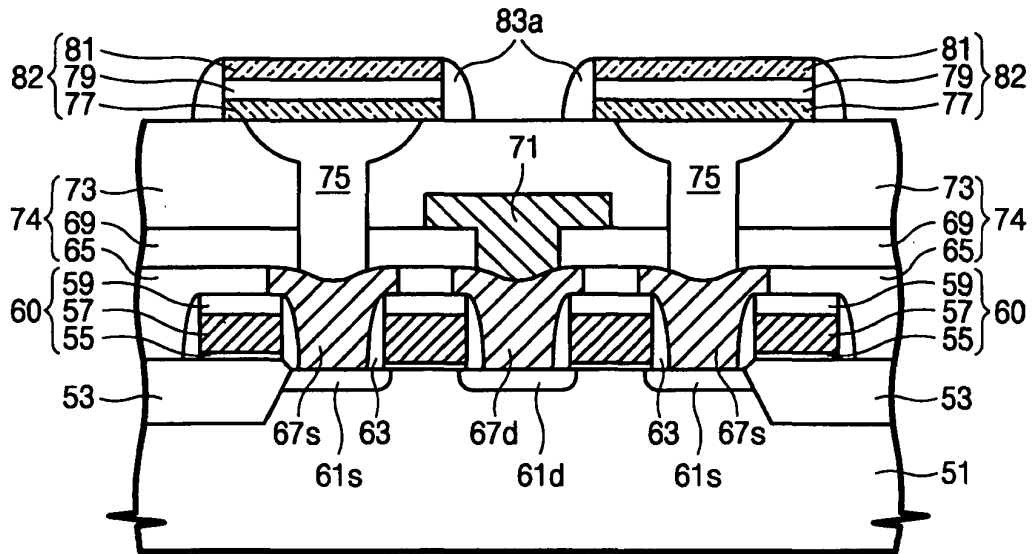
【도 10】



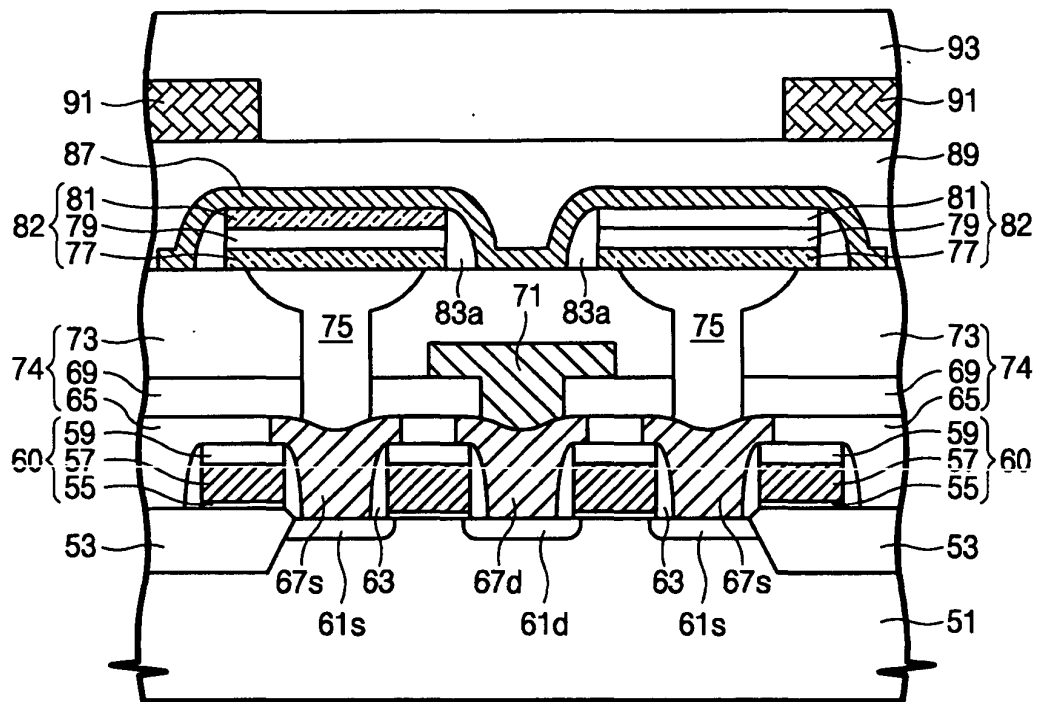
【도 11】



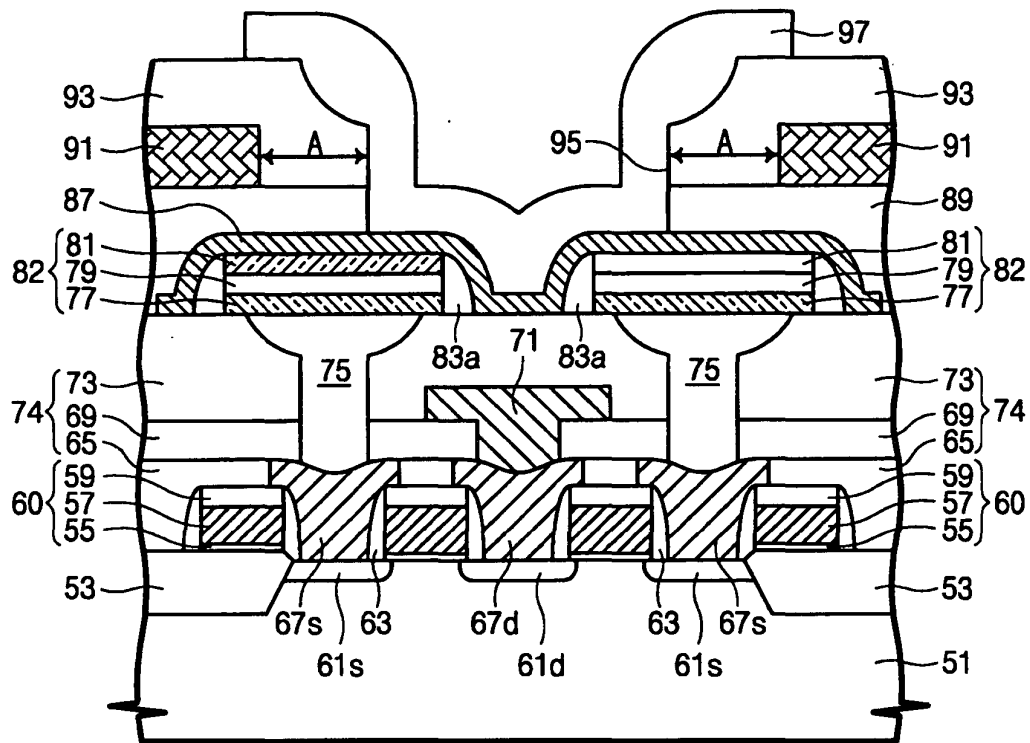
【도 12】



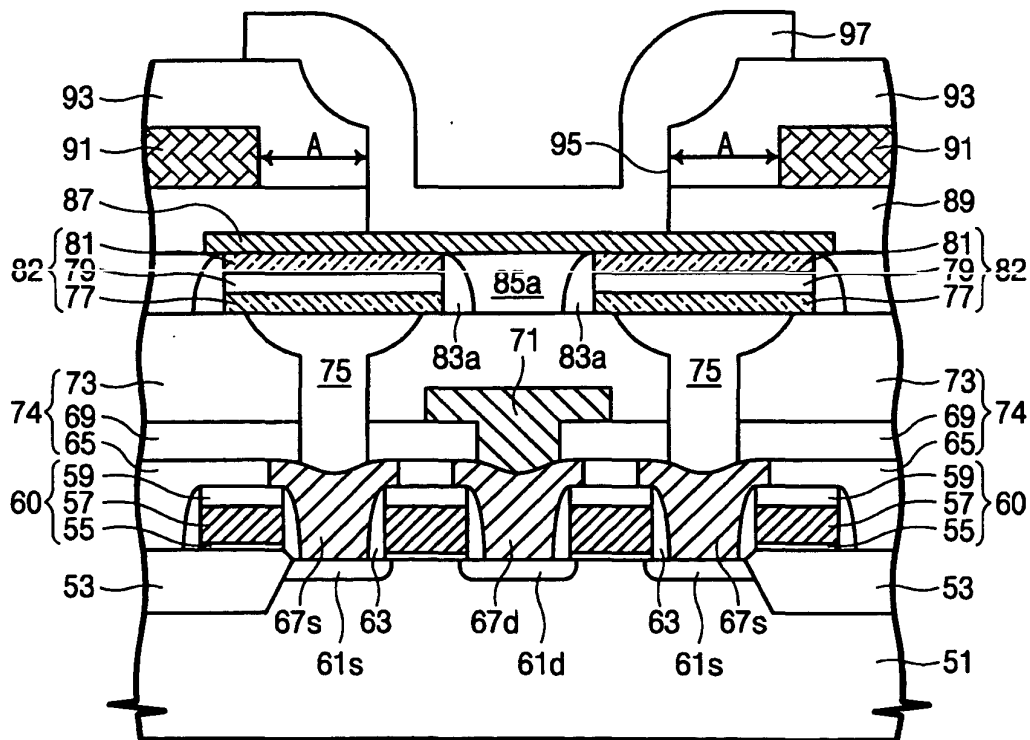
【도 13】



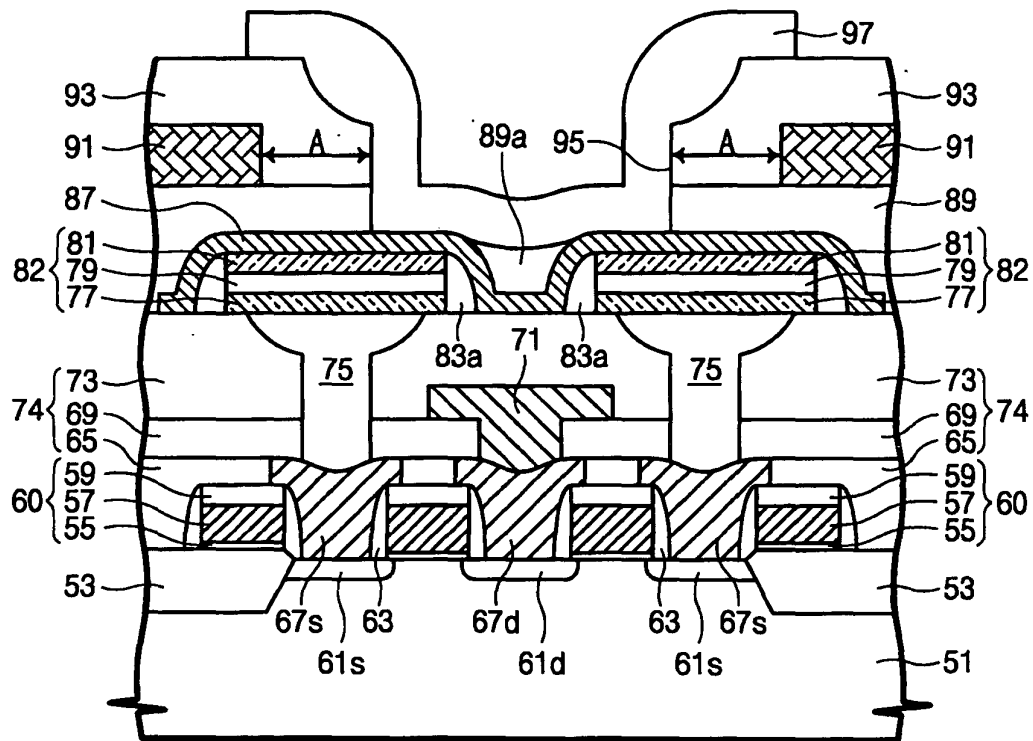
【도 14】



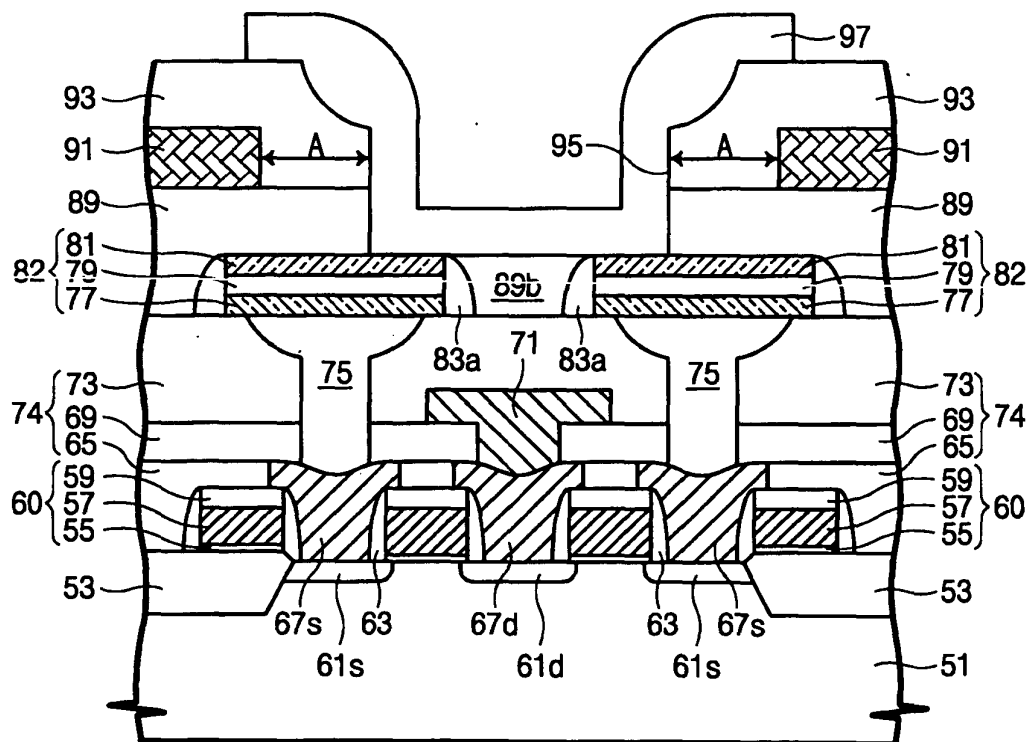
【도 15】



【도 16】



【도 17】



【도 18】

